

# A Low Power Design Method for Synchronous TP RAM

Xinge Zhou<sup>1</sup>, Qingjun Zhou<sup>2</sup>

<sup>1</sup>Gaoxin Tangnan Middle School, Xi'an Shaanxi

<sup>2</sup>ZTE Telecom College, Xian Peihua University, Xi'an Shaanxi

Email: zhqj76@126.com

Received: Jun. 1<sup>st</sup>, 2017; accepted: Jun. 19<sup>th</sup>, 2017; published: Jun. 22<sup>nd</sup>, 2017

---

## Abstract

As the power consumption of synchronous TP RAM in SoC is large, a new design method of optimization is proposed. In order to achieve the function of the original TP RAM and keep the external interface unchanged, TP RAM is replaced with SP RAM, and read-write interface logics of conversion are added around SP RAM. For less power, address bus is encoded through Gray code; dynamic voltage regulation and reasonable power partition strategy are used. The method discussed in this paper is used in the multi core SoC chip which has been implemented in TSMC 28nm HPC process. The simulation results indicate that the area of optimized RAMs is reduced by 24.76%, and the power saving is reduced by 44.89%.

## Keywords

TP RAM, SP RAM, Gray Code, Dynamic Voltage Regulation, Power Partition Strategy

---

# 同步TP RAM的低功耗设计方法

周新格<sup>1</sup>, 周清军<sup>2</sup>

<sup>1</sup>西安高新唐南中学, 陕西 西安

<sup>2</sup>西安培华学院中兴电信学院, 陕西 西安

Email: zhqj76@126.com

收稿日期: 2017年6月1日; 录用日期: 2017年6月19日; 发布日期: 2017年6月22日

---

## 摘要

针对SoC中同步TP RAM的功耗较大问题, 提出一种设计方法。通过将SoC中的同步TP RAM替换成SP

RAM, 在SP RAM外围增加读写接口转换逻辑, 使替换后的RAM实现原TP RAM的功能, 保持对外接口不变。为了进一步降低功耗, 对地址总线进行格雷编码, 采用动态电压调整技术及合理的电源分区策略。将文中方法应用于一款多核SoC芯片, 经TSMC 28 nm HPC工艺实现。仿真结果表明: 优化后的RAM面积减少了24.76%, 功耗降低了44.89%。

## 关键词

同步TP RAM, SP RAM, 格雷码, 动态电压调整, 电源分区策略

Copyright © 2017 by authors and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

## 1. 引言

随着芯片集成度越来越高, 随机存储器(random access memory, RAM)在片上系统(system on chip, SoC)中的占比也越来越高, 因此 RAM 对 SoC 的面积及功耗的贡献也越来越大。相同容量的伪双口 RAM (two ports RAM, TP RAM)与单口 RAM (single port RAM, SP RAM)相比, 前者的面积及功耗更大。降低 SoC 的面积及功耗可以节省成本, 延长芯片寿命并进一步提升市场竞争力[1] [2]。而 TP RAM 作为 RAM 的一种常用类型, 在 SoC 中的比重也很大。因此降低 TP RAM 的面积及功耗, 是降低整个 SoC 面积及功耗的有效途径。

文献[3]提出一款可以工作在极低电源电压条件下, 功耗较低的亚阈值 SRAM 存储单元。为使其设计在极低电源电压条件下依然能够保持足够的鲁棒性, 采用差分读出方式和可配置的操作模式。为了降低电路功耗, 采用自适应泄漏电流切断机制, 可降低动态操作和静态操作时的泄漏电流。文献[4]提出一种适用于自旋磁随机存储器的低压写入电路, 利用列选和读写隔离相结合的方法, 减小写入支路上的电阻, 从而降低写入功耗, 并可提高自旋转移力矩磁随机存储器的存储可靠性。文献[3] [4]中方法都是从 RAM 存储单元的内部结构进行设计和优化, 需要改变 RAM 模块自身设计。而文中介绍的方法是将 TP RAM 作为一个整体替换成 SP RAM, 替换后的 RAM 可以作为 IP 直接使用。

为了降低 TP RAM 的面积及功耗, 本文提出一种 TP RAM 的优化设计方法。在 TP RAM 读写时钟相同的情况下, 将 TP RAM 替换成 SP RAM, 并在 SP RAM 外围增加读写接口转换逻辑, 优化后的 RAM 对外接口不变, 并可实现原 TP RAM 的功能。为了进一步降低功耗, 使用自适应门控时钟, 对地址总线进行格雷编码。该优化方法可使 RAM 面积减少 24.76%, 功耗降低 44.89%。

## 2. TP RAM 的低功耗设计

### 2.1. TP RAM 替换成 SP RAM 的必要性

SP RAM 只有一套地址总线和数据总线, 读写不能同时进行。TP RAM 指伪双口 RAM, 有两套地址总线, 一套数据总线, 一个口只能写, 另一个口只能读。RAM 的功耗组成包括动态功耗及静态功耗, 总功耗等于二者之和。动态功耗大小与逻辑面积, 频率及逻辑翻转率成正比。在 TP RAM 读写时钟相同的情况下, 将 TP RAM 替换成 2 倍频率的 SP RAM 来实现原 TP RAM 的功能。由于频率变成优化前的 2 倍, 原 TP RAM 的一个周期时间等于优化后的 SP RAM 的 2 个周期时间, 因此 SP RAM 逻辑翻转率将降低为原来的一半。而相同容量的 SP RAM 的逻辑面积比 TP RAM 的小, 所以优化后的 SP RAM 的动态功耗比

TP RAM 的小[5][6]。静态功耗大小与逻辑面积成正比, 由于相同容量的 SP RAM 的逻辑面积比 TP RAM 的小, 所以优化后的 SP RAM 的静态功耗会变小。由于替换成 SP RAM 需要增加的接口控制逻辑很少, 与 RAM 本身的逻辑面积相比基本可以忽略, 因此优化后的 SP RAM 总功耗及面积均会减小。

## 2.2. 读写接口转换

项目中需要使用很多读写时钟相同的先进先出存储器(first in first out, FIFO), 优化前这些 FIFO 的 RAM 都使用了 TP RAM, 运行频率都是 325 MHz。使用 TSMC 的 28 nm HPC 的 Memory compiler 也可以生成相同容量的频率为 650 M 的 SP RAM。将这些 TP RAM 替换成 SP RAM 后就可以达到减少面积及降低功耗的目的。为了使替换后的 SP RAM 实现原 TP RAM 的功能, 需要在 SP RAM 外围增加 TP2SP 转换逻辑。将 TP RAM 转换成 SP RAM 的转换逻辑框图如图 1 所示。从图 1 可以看到, 325 M 时钟域的读写控制信号经过 TP2SP 转换逻辑后变成了 650 M 时钟域的 SP RAM 的读写控制信号, 同时 SP RAM 的读出数据需要转换成 325 M 时钟域的读出数据, 且替换后的 TP2SP RAM 的对外接口和原 TP RAM 的一致。表 1 列出了图 1 中各个信号的含义, 其中有外部接口信号, 也有内部接口信号, 内部接口信号是直接替换后的 SP RAM 连接的信号。

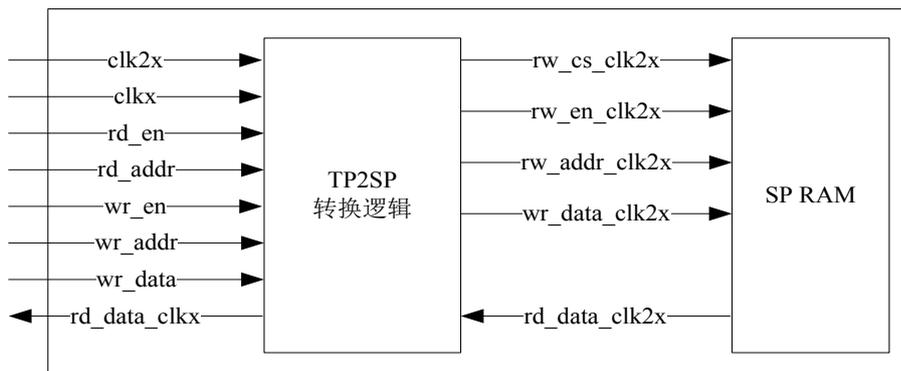


Figure 1. Diagram of TP2SP RAM interface

图 1. TP2SP RAM 转换逻辑框图

Table 1. Interface signals of TP2SP RAM conversion logics

表 1. TP2SP RAM 转换逻辑框图接口信号列表

信号名称	接口类型	含义
clk2x	外部接口	650 M 时钟信号
clkx	外部接口	325 M 时钟信号
rd_en	外部接口	TP RAM 读使能, 325 M 时钟域, 高有效
rd_addr	外部接口	TP RAM 读地址, 325 M 时钟域
wr_en	外部接口	TP RAM 写使能, 325 M 时钟域, 高有效
wr_addr	外部接口	TP RAM 写地址, 325 M 时钟域
wr_data	外部接口	TP RAM 写数据, 325 M 时钟域
rd_data_clkx	外部接口	TP RAM 读出数据, 325 M 时钟域
rw_cs_clk2x	内部接口	SP RAM 片选, 650 M 时钟域, 高有效
rw_en_clk2x	内部接口	SP RAM 读写使能, 650 M 时钟域, 高写低读
rw_addr_clk2x	内部接口	SP RAM 读写地址, 650 M 时钟域
wr_data_clk2x	内部接口	SP RAM 写入数据, 650 M 时钟域
rd_data_clk2x	内部接口	SP RAM 读出数据, 650 M 时钟域

### 2.3. 低功耗方法详细设计

SP RAM 只有一组读写控制信号, TP RAM 有两组读写控制信号, 所以需要将 TP RAM 的两组读写控制信号转换成 SP RAM 的一组读写控制信号。clkx 是 325 M 的 TP RAM 的时钟信号, clk2x 是 650 M 的 SP RAM 的时钟信号, 由于 TP RAM 可能存在读写冲突, 而 SP RAM 不会有读写冲突, 因此读写转换逻辑需要支持 TP RAM 的两种场景: (1) 读写冲突时, 读出新数据, 写入新数据, 即先写后读; (2) 读写冲突时, 读出旧数据, 写入新数据, 即先读后写。为了控制读写冲突, 需要产生一个中间信号 rw\_flag, 逻辑生成电路如图 2。先写后读的控制方法是在 rw\_flag = 0 时写, rw\_flag = 1 时读; 如果需要支持先读后写, 则控制方法是在 rw\_flag = 0 时读, rw\_flag = 1 时写。图 3 列出了先写后读的控制方法的相应信号

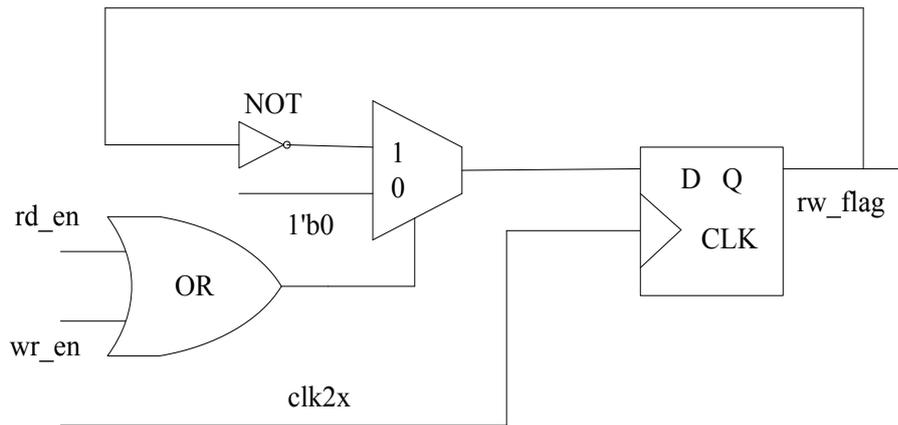


Figure 2. rw\_flag generation logic  
图 2. rw\_flag 控制信号产生逻辑

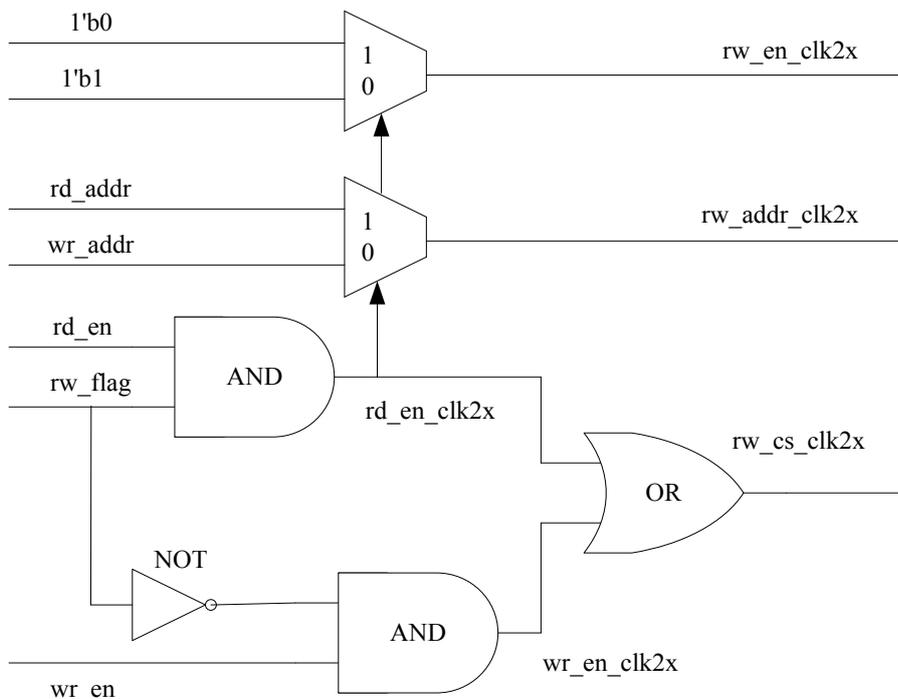


Figure 3. TP2SP diagram of first writing and after reading  
图 3. TP2SP 先写后读控制逻辑生成示意图

生成电路,  $rw\_en\_clk2x$  是 SP RAM 的读写控制信号, 当  $rw\_en\_clk2x=1$  时写, 当  $rw\_en\_clk2x=0$  时读。 $rw\_cs\_clk2x$  是 SP RAM 的片选控制信号, 当  $rw\_cs\_clk2x=1$  时有效。 $rw\_addr\_clk2x$  是 SP RAM 的读写地址信号。

图 4 所示为 SP RAM 读出的数据转换成保持一个 TP RAM 时钟周期数据的时序图,  $clkx$  是 325 M 的 TP RAM 的时钟信号,  $clk2x$  是 650 M 的 SP RAM 的时钟。 $rd\_en$  是外部输入的 325 M 时钟域的读控制信号,  $rd\_data\_clk2x\_1ff$  是 SP RAM 的输出数据  $rd\_data\_clk2x$  延迟一个  $clk2x$  后的数据, 最终输出是能够保持一个  $clkx$  时钟周期的  $rd\_data\_clkx$  数据。

## 2.4. 格雷码优化

格雷码是二进制编码的变形, 任意两个相邻整数的编码只有一位差异。普通二进制码与格雷码可以按以下方法进行转换: 二进制码转换成格雷码(编码): 从最左位起, 依次将每一位与右边一位进行异或运算, 作为对应格雷码该位的值, 最左边一位不变; 格雷码转换成二进制码(解码): 从左边第二位起, 将每位与左边一位解码后的值进行异或运算, 作为该位解码后的值, 最左边一位依然不变。由于任意两个相邻地址编码之间转换只有一位发生变化, 大大减少了地址总线的翻转次数, 从而可降低芯片的动态功耗 [6] [7]。自适应门控时钟及格雷码转换模块的面积较小, 与 RAM 本身的逻辑面积相比基本可以忽略。

## 2.5. 动态电压调整技术及合理的电源分区策略

电路可以正常工作的最高频率只和电压、温度有关, 故可以在芯片内部使用 cell 延迟、然后通过与非门产生时钟, 因为电压已知, 所以可以通过该时钟的频率间接知道温度; 知道温度、电压, 则可以知道 CPU 所能跑的最高频率。具体操作的时候, 可进行一次高低温试验, 将不同电压、温度下, 环路时钟频率和 CPU 所能跑的最高时钟进行测量, 这样根据环路时钟频率, 电压, 得知温度, 然后查出 CPU 所能运行的最高频率。这样设计时只要留一定的余量就可以配置 CPU 频率。CPU 配置新电压流程: 1、升压的时候, 加较多电压余量, 争取一次电压调整能到 CPU 要求的频率, 然后进行循环, 逐渐降低电压。

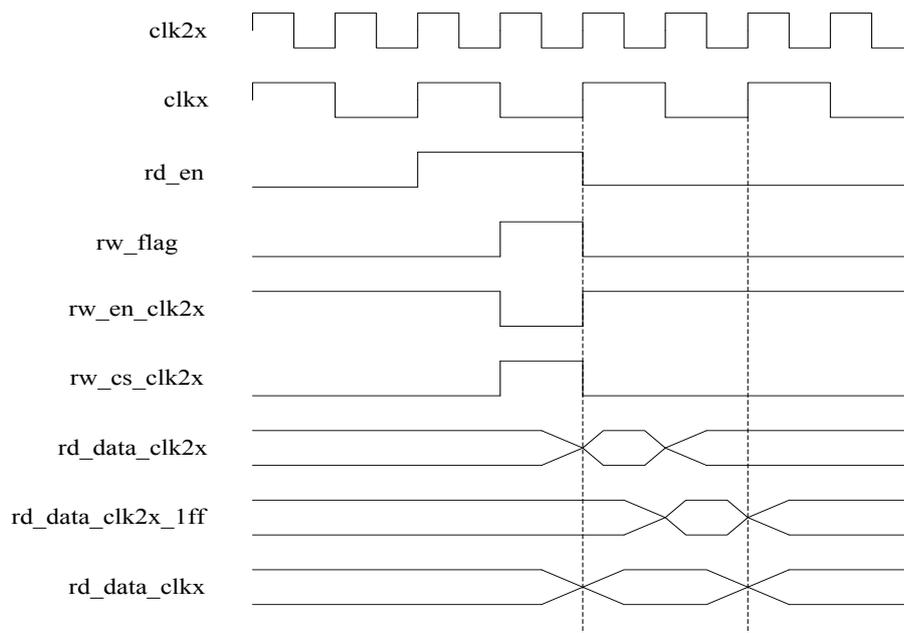


Figure 4. Timing diagram of conversion logic for output data

图 4. 输出数据转换时序图

2、减压的时候, 1/2 法逐步降低。在划分电源分区时, 需要考虑一个电源区里的模块是否具有“工作时段基本同步”的特性, 尽量将在同一时段工作及不工作的模块放在一个电源分区里。电源分区的数量设计要结合实际项目进行综合考虑, 过多的电源分区会增加实现复杂度及芯片面积, 过少的电源分区不利于降低静态功耗。电源分区确定之后, 当某个电源区里的所有模块都不需要工作时, 可以将这个电源区的工作电压关闭从而将该模块的静态功耗降为 0。如果由于某些原因而无法完全关闭某个电源区的工作电压, 采取降低工作电压的方式也可以减少这个电源区的静态功耗[8]。

### 3. 低功耗设计方法在芯片中的应用

优化前的 TP RAM 包括 2 种长宽类型, 一种是  $768 \times 49$ , 另一种是  $320 \times 64$ 。使用本文的优化方法将所有 TP RAM 替换成倍频的 SP RAM。表 2 及表 3 列出了芯片中使用的 TP RAM 及优化后的 SP RAM 的规格及相应面积和功耗数据。其中功耗是指动态功耗与静态功耗之和, 由于动态功耗大小与读写翻转率成正比[9][10], 所以表中也列出了相应的读写翻转率数据。由于优化后 TP RAM 变成了频率翻倍的 SP RAM, 所以读写翻转率均变成优化前的一半。表中 TP 指 TP RAM, SP 指 SP RAM; Compiler Lib 是指生成 memory 时的 compiler library 类型, rf-2p-uhde 是指 register file two port ultra-high density; 由于功耗还与温度及电压有关, 所以表中也列出了工艺 Corner: TT/0.9V/85C。数量是指这种 memory 在芯片中使用的个数,  $768 \times 49$  的 memory 使用了 750 个,  $320 \times 64$  的 memory 使用了 510 个。

### 4. 仿真结果及分析

优化前所有的 TP RAM 和 SP RAM 的面积总和为  $31.75 \text{ mm}^2$ , 功耗为 0.548 W; 优化后的面积总和为  $23.89 \text{ mm}^2$ , 功耗为 0.302 W。优化后 memory 面积减少 24.76%, 功耗减少 44.89%。表 4 列出了优化前后芯片 memory 面积及功耗对比数据。为了测试 memory 的功耗, 每个 memory 都设计成具有旁路功能, 当开启某 memory 旁路功能后, 该 memory 的输入直接穿透到输出, 此时测试的芯片功耗中该 memory 的功

Table 2. Data comparison between TP RAM and SP RAM in size  $768 \times 49$

表 2.  $768 \times 49$  的 TP RAM 与 SP RAM 对比

TP/SP	深度 × 位宽	Compiler Lib	频率(MHz)	读/写翻转率	Corner	Area ( $\text{um}^2$ )	Power (uW)	数量
TP	$768 \times 49$	rf-2p-uhde	325	3.22%/3.22%	TT/0.9v/85C	15914.09	386.75	750
SP	$768 \times 49$	rf-sp-hde	650	1.61%/1.61%	TT/0.9v/85C	11003.21	158.48	750

Table 3. Data comparison between TP RAM and SP RAM in size  $320 \times 64$

表 3.  $320 \times 64$  的 TP RAM 与 SP RAM 对比

TP/SP	深度 × 位宽	Compiler Lib	频率(MHz)	读/写翻转率	Corner	Area ( $\text{um}^2$ )	Power (uW)	数量
TP	$320 \times 64$	rf-2p-hde	325	0.8%/0.54%	TT/0.9v/85C	16058.95	206.78	510
SP	$320 \times 64$	rf-sp-hde	650	0.4%/0.27%	TT/0.9v/85C	7854.8	58.62	510

Table 4. Area and power comparison between before optimization and after

表 4. 优化前后芯片 memory 面积及功耗对比列表

优化指标	优化前	优化后	优化比例%
面积( $\text{mm}^2$ )	31.75	23.89	24.76
功耗(W)	0.548	0.302	44.89

耗为 0; 当关闭该 memory 旁路功能后测试的芯片功耗就包含了该 memory 的功耗。该 memory 旁路前后测试的芯片功耗之差就等于该 memory 的功耗[11]。

优化后的芯片经 TSMC 28 nm HPC 工艺实现, 封装类型是 FCBGA33\*33, 使用了 8 个 ARM Cortex-A15 核, CPU 运行最高频率为 1.3 GHz。

## 5. 小结

本文通过将读写时钟相同的 TP RAM 替换成倍频的 SP RAM, 并在 SP RAM 外围增加读写接口转换逻辑, 使替换后的 RAM 实现原 TP RAM 的功能, 从而达到降低功耗的目的。为了进一步降低功耗, 对地址总线进行格雷编码, 采用动态电压调整技术及合理的电源分区策略。仿真结果表明: 优化后的 RAM 面积减少了 24.76%, 功耗降低了 44.89%。

## 参考文献 (References)

- [1] Chiu, P.F. (2012) Low Store Energy, Low VDDmin, 8T2R Nonvolatile Latch and SRAM with Vertical-Stacked Resistive Memory (Memristor) Devices for Low Power Mobile Applications. *IEEE Journal of Solid-State Circuits*, **47**, 1483-1496. <https://doi.org/10.1109/JSSC.2012.2192661>
- [2] Aghamohammadi, M.R. and Abdolahinia, H. (2014) A New Approach for Optimal Sizing of Battery Energy Storage System for Primary Frequency Control of Islanded Microgrid. *International Journal of Electrical Power and Energy Systems*, **54**, 325-333.
- [3] 柏娜, 冯越, 尤肖虎, 等. 极低电源电压和极低功耗的亚阈值 SRAM 存储单元设计[J]. 东南大学学报: 自然科学版, 2013, 43(2): 268-273.
- [4] 张丽, 庄奕琪, 赵巍胜, 等. 一种适用于自旋磁随机存储器的低压写入电路[J]. 西安电子科技大学学报: 自然科学版, 2014, 43(3): 131-136.
- [5] Peng, S.Y., Huang, T.C., Lee, Y.H., et al. (2013) Instruction-Cycle-Based Dynamic Voltage Scaling Power Management for Low-Power Digital Signal Processor with 53% Power Savings. *IEEE Journal of Solid-State Circuits*, **48**, 2649-2661. <https://doi.org/10.1109/JSSC.2013.2274885>
- [6] 李栋, 王小力, 杨斌, 等. SoC 总线的低功耗分支编码方案[J]. 计算机应用, 2014, 34(12): 3633-3636.
- [7] 刘钱, 何炎祥, 廖希密, 等. 面向总线的低功耗优化方法探究[J]. 计算机工程与应用, 2014, 50(12): 42-47.
- [8] 尚军辉. 通用 SOC 系统的低功耗设计方法[J]. 中国集成电路, 2013, 22(9): 23-30.
- [9] Sally, W.-F. (2012) Wireless SoCs Use Cortex-M0 Core to Slash Power Consumption. *Microwaves & RF*, **51**, 36.
- [10] Mahdoui, A. (2012) Combined Heuristics for Synthesis of SoCs with Time and Power Constraints. *Computers and Electrical Engineering*, **38**, 1687-1702.
- [11] 刘军, 钱庆庆, 吴玺, 等. 三维 IP 核绑定前后总测试时间的优化方法[J]. 计算机工程与应用, 2016, 52(22): 44-48, 54.

**期刊投稿者将享受如下服务：**

1. 投稿前咨询服务 (QQ、微信、邮箱皆可)
2. 为您匹配最合适的期刊
3. 24 小时以内解答您的所有疑问
4. 友好的在线投稿界面
5. 专业的同行评审
6. 知网检索
7. 全网络覆盖式推广您的研究

投稿请点击：<http://www.hanspub.org/Submission.aspx>

期刊邮箱：[ojcs@hanspub.org](mailto:ojcs@hanspub.org)