

# Study and Achievement of the Power Clock System Based on TD Private Network

Jian Xue

Shanxi Electric Power Research Institute, Xi'an  
Email: 13772135855@126.com

Received: Nov. 6<sup>th</sup>, 2012; revised: Nov. 20<sup>th</sup>, 2012; accepted: Nov. 30<sup>th</sup>, 2012

**Abstract:** According to the requirements of clock synchronization in the solution of the wireless transmission which based on TD-SCDMA power intelligent testing system network, the clock synchronization system is researched emphatically in this paper. The precision of clock lock and the holding index of time is researched and analysed in the paper by using Phase-locked loops technology. AS the implementation results shows that both of the time synchronization accuracy and the time holding index is two hundreds nanosecond, which is superior to the requirement of the power testing system. It improves the testing accuracy of the power testing system efficiently.

**Keywords:** Power Testing System; Clock Synchronization; PLL

## TD 专网电力时钟系统的研究与实现

薛建

陕西电力科学研究院, 西安  
Email: 13772135855@126.com

收稿日期: 2012 年 11 月 6 日; 修回日期: 2012 年 11 月 20 日; 录用日期: 2012 年 11 月 30 日

**摘要:** 本文根据 TD 专网电力测试系统的无线传输解决方案对时钟系统的要求, 重点对时钟同步系统进行了研究。文中运用时钟锁相环技术, 对时钟锁定精度和时钟保持指标进行了研究与分析。通过实现结果表明, 该时钟系统输出的时钟同步精度为 200 ns 的时钟信号及 200 ns 的时间保持指标, 完全优于电力测试系统提出的指标要求, 有效提高了电力测试系统的测试精确度。

**关键词:** 电力测试系统; 时钟同步; 锁相环

### 1. 引言

随着新一代移动通讯业务的产生和全面投入, 无线移动数据通讯的应用也越来越广泛。电力行业作为国民经济的基础产业, 对通信的要求也越来越高<sup>[1]</sup>。由于电力测试系统中的 GPS 信号在传送过程中有各种干扰, 造成该信号抖动存在。在一些特殊的环境中, 会出现无法接收到 GPS 卫星信号, 造成模块失锁, 设备会出现时钟不准的情况。而目前国内的时钟设备提供的时钟指标较低, 远远不能满足电力系统越来越高

的时钟指标要求<sup>[2]</sup>。根据此现状, 通过与大唐移动合作开发智能电网测试系统, 本文提出基于 TD 专网的电力测试系统的无线传输解决方案, 在该方案中为电力测试系统提供高精度的时钟参考源。

本文利用大唐移动在时钟同步技术方面的多年技术积累, 结合一种新的时钟锁相环的设计方法, 着重研究了电力测试系统的时钟系统。在研究智能检测系统时钟信号发生器时, 通过时钟锁相环技术, 锁定输入的 GPS 时钟信号, 将 GPS 接收信号进行二次锁

相处理，可以消除环境造成的抖动和失锁等现象，解决了锁相环输出时钟的频率与相位同时控制问题，可为电力系统测试设备提供一个高性能、高稳定性、和高精确度的时钟同步系统。

## 2. 电力测试系统方案

根据电力系统提出时钟输出时间精度优于 $\pm 1 \mu\text{s}$ 的时钟信号及优于 $\pm 4 \mu\text{s}(10 \text{ min})$ 的时间保持指标，本文提出电力测试系统无线传输解决方案，如图 1 所示。该方案由主站设备和 15 套从站设备组成，主站设备包括综合接入控制设备、无线主站和操作维护台，每套从站设备都有同步与无线接收设备，而每个同步与无线接收设备都有自己的时钟系统<sup>[3]</sup>。该方案的无线传输系统通过使用无线方式来传输测试信号，主站通过无线方式下发控制命令，从站通过无线方式返回测试结果。在该方案的时钟系统中，运用时钟锁相环技术，实现了测试系统中设备间的同步功能，并为电力测试系统提供了一个高精度的时钟信号<sup>[4]</sup>。

## 3. 时钟系统的研究与实现

### 3.1. 时钟同步实现方案

根据提出的电力测试系统无线传输解决方案，主站与信号源之间采用无线方式传输数据和时间信号，

当多个信号源发出数据时，需要同步这些信号源的时间，以便主站同时能接收多个信号源的消息和数据，有准确的时钟参考。主站和从站的时间同步方案如图 2 和图 3 所示。

在主站和从站上设置时钟系统的 GPS 天线，主站通过 GPS 天线接收信号源发出的信息，经 GPS 接收模块输出 1 PPS 信号。然后，通过时间同步模块把输出的 1 PPS 信号进行时钟频率合成，生成 10 MHz 信号，再经分频模块将频率分成脉冲信号，通过频率合成模块后输出的时钟精度优于 200 ns 的时钟信号。在无 GPS 信号的情况下，通过该时钟系统的同步过程，时间保持指标可达到 200 ns。

### 3.2. 时钟同步模块

根据电力测试系统对时钟同步的要求，当从站与主站进行无线数据传输时，从站通过 GPS 天线接收 GPS 卫星信号获取时间信息，利用时钟同步模块来实现时钟系统，设计的时钟同步模块如图 4 所示<sup>[5]</sup>。

该时钟同步模块包括 GPS 模块、处理器模块、DA 模块、OCXO 模块、CPLD 模块、电平转换模块和频率合成模块。GPS 模块接收 GPS 卫星信号获取时间信息，并将时间信息传送到处理器；处理器模块主要完成极窄带锁相环的数字滤波器的软件实现，锁相

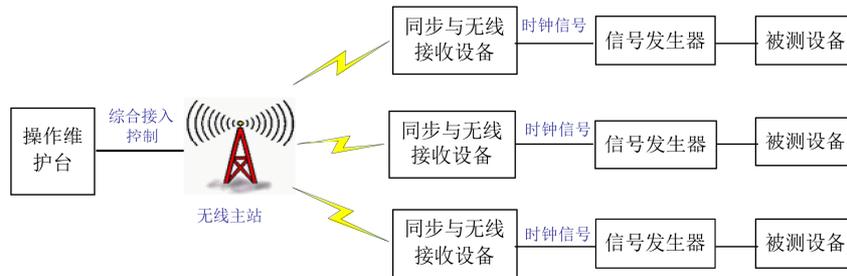


Figure 1. The power testing system solution  
图 1. 电力测试系统方案组网框图

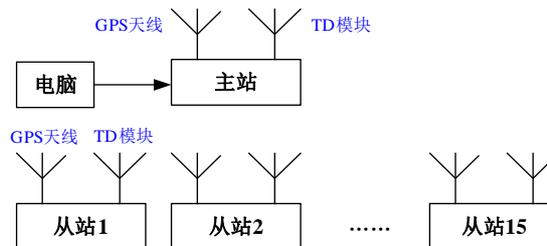


Figure 2. The master, slave clock synchronization solution  
图 2. 主、从站时钟同步方案

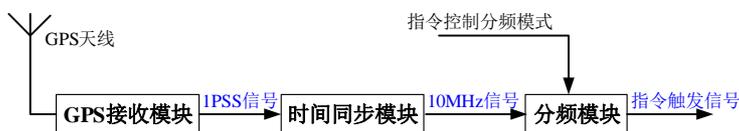


Figure 3. The master, slave clock synchronization process  
图 3. 主、从站时钟同步过程图

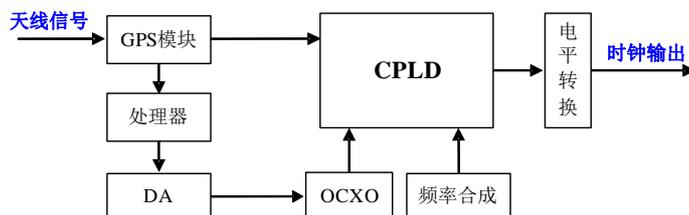


Figure 4. Clock synchronization module architecture  
图 4. 时钟同步模块的结构图

环状态的输出与配置；DA 模块作为极窄带锁相环模块的一部分，主要功能是将 CPU 的控制值转换成相应的电压值控制 OCXO 的频率输出，同时外围配置一个电压参考源作为电压输出的参考基准；OCXO 模块作为极窄带锁相环的一部分，完成压控振荡器的功能；CPLD 模块主要完成极窄带锁相环的数字鉴相器功能，输入时钟检测与分频以及模块锁相环的异或门鉴相器；电平转换模块完成互送时钟的电平转换，将 LVTTTL 信号转换成 RS485 信号；频率合成的外围电路作为模拟锁相环的一部分，完成环路滤波与压控振荡器功能。

### 3.3. 时钟锁定精度的实现

在电力测试设备的时钟同步系统中，时钟锁相环技术是时钟同步系统的核心技术。时钟锁相环是一个高度智能化、自动化的锁相环，它用鉴相器来鉴别出本振和外标的相位差别，经智能控制和序列滤波器对该差别进行适当的处理，产生出控制电压来控制 OCXO 的输出频率，达到频率跟踪的目的，从而实现时间精度的锁定<sup>[6]</sup>。

#### 3.3.1. 时钟锁相环电路硬件装置设计

时钟锁相环电路硬件装置采用时钟锁相环电路硬件装置由鉴相器 1、鉴相器 2、处理器、数模转换器和压控振荡器组成<sup>[7]</sup>。处理器将锁相环的工作状态上报外部监测系统并接受它的控制，如图 5 所示。

时钟锁相环装置中时钟参考源作为外部的时钟源，为锁相环提供一个基准的时钟信号<sup>[8]</sup>。压控振荡

器是本地时钟源，它可以是一级钟(铯钟)、二级钟(铷钟，高稳压控晶振)或三级钟(高稳压控晶振)，根据电路时钟精度的要求可以选择不同精度的高稳时钟以控制设计成本和系统需求。鉴相器 1 由逻辑器件设计，可以是 CPLD、FPGA 逻辑电路组成，主要完成本地时钟源与外部时钟源的鉴相功能，并提供与处理器的控制接口。处理器可以是 CPU、DSP 或者是其他可完成控制功能的装置，主要完成从逻辑控制电路中读取鉴相器的差值；实现环路滤波器算法并用计算结果控制 DA 的输出电压；在锁相运行中进行状态切换，包括自由状态、快捕状态、跟踪状态、保持状态等；将锁相环的工作状态通过通讯口传递给外部监测系统，或者通过监测系统控制它的工作状态。数模转换器由 DA 芯片实现，控制压控振荡器输出频率。频率合成器是将压控振荡器输出频率合成到系统需要的频率。时钟驱动器将电路板输出频率增多驱动能力，根据系统需求可以变成多路输出。鉴相器 2 由逻辑器件设计，

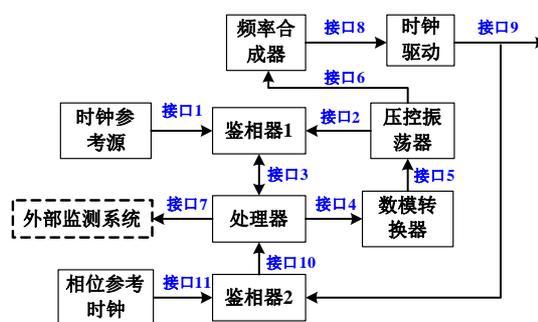


Figure 5. Time clock phase-locked loops circuit hardware realization diagram  
图 5. 时钟锁相环电路硬件装置实现框图

可以是 CPLD、FPGA 逻辑电路组成，如果是资源允许，可以在电路板上与鉴相器 1 集成到一个芯片，方便电路实现，当然使用两个芯片也没有问题，主要完成驱动电路输出的时钟与要求有相位关系的时钟进行鉴相功能，并提供与处理器的控制接口。相位参考时钟可以是时钟参考源的时钟，也可以是时钟参考源分频的一个时钟，再或者是系统需要有相位关系的一个时钟。

### 3.3.2. 锁相环实现方法原理及步骤

锁相环实现原理控制流程图如图 6 所示。

锁相环实现原理说明：

运行锁相程序后开始进行锁相，循环的值是以一定时间间隔读取鉴相器的鉴相值，如果在超前鉴相器读取到的值比滞后鉴相器读到的值大，那么  $x$  为正，否则为负；将输出的值代入算法公式中进行计算，算法公式如下：

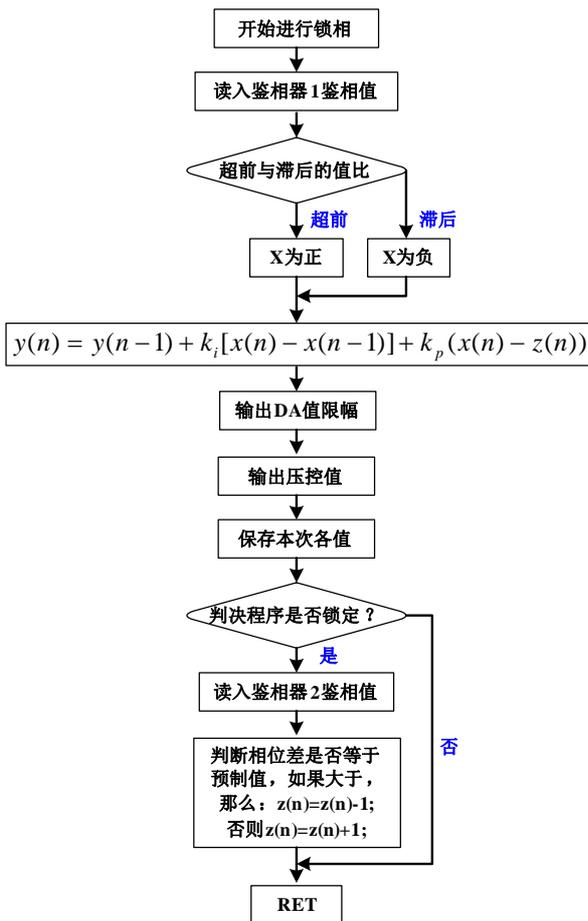


Figure 6. Phase-locked loops theory control flow diagram  
图 6. 锁相环实现原理控制流程图

$$y(n) = y(n-1) + k_i [x(n) - x(n-1)] + k_p (x(n) - z(n))$$

公式说明： $y(n)$ ：本次计算的控制 DA 的结果； $y(n-1)$ ：上次计算的控制 DA 的结果； $x(n)$ ：本次读取的鉴相器的值； $x(n-1)$ ：上次读取的鉴相器的值； $z(n)$ ：时钟相位控制参数； $k_i$ 、 $k_p$ ：锁相环环路增益参数；

用计算出的  $y(n)$  值控制 DA 的值，并将这次的计算结果保存，为下次计算作为参考依据。通过判断程序是否已经锁定参考时钟，如果锁定，就开始调整时钟相位控制参数  $z(n)$ ，根据超前与置后的关系进行加减处理，最后程序在运行了一段时间后就稳定到所预制的相位。按照流程反复计算，最终输出频率与相位都可以得到控制，从而控制时钟输出信号的精度。

如图 5 的时钟锁相环硬件装置实现框图所示，锁相环实现步骤如下：

第一步，将参考时钟和本地时压控振荡器的钟源送入鉴相器，通过接口 1 和接口 2 送入进行鉴相；接口 1 是将外部时钟源信号输入到逻辑控制电路；接口 2 是将压控振荡器送到鉴相器的时钟，在逻辑电路中分频后与输入的时钟参考源进行鉴相；

第二步，接口 3 是通过处理器读取鉴相器的鉴相值。将鉴相的结果通过接口 3 送到处理器模块进行计算；

第三步，处理器模块按照锁相控制流程进行软件的计算，并且计算出控制 DA 的值；

第四步，接口 4 是通过处理器对数模转换器进行控制，写入经过计算的 DA 值。处理器将计算的结果通过接口 4 写入数模转换器模块；

第五步，数模转换器模块通过接口 5 控制压控振荡器模块的频率输出；

第六步，接口 6 是将送出锁相后的时钟到频率合成器。输出的频率送到逻辑控制模块进行分频，将分频的结果通过接口 6 送出到频率合成器进行频率合成；

第七步，将合成后的频率通过接口 8 送到时钟驱动模块中，并且将其中一路通过接口 9 反馈到鉴相器 2 中。接口 9 是时钟驱动模块将合成后的频率驱动输出，是系统的输出频率；

第八步，在鉴相器 2 中，把反馈的驱动时钟与相位参考时钟的鉴相结果通过接口 11 送到处理器中，

在处理器中按照算法公式

$$y(n) = y(n-1) + k_i [x(n) - x(n-1)] + k_p (x(n) - z(n))$$

进行计算;

第九步, 在处理器中, 鉴相器 1 与鉴相器 2 读到的值进行统一算法处理最终控制输出的具体相位。

### 3.4. 时钟同步系统保持指标的的实现

#### 3.4.1. 时钟同步保持指标的电路硬件装置设计

如图 5 和 7 所示, 时钟同步系统保持指标与时钟锁定精度都是在锁相环电路硬件装置上实现的, 为了便于阐述, 本文将两个图分开进行描述。

时钟同步保持指标的电路硬件装置由逻辑控制电路、处理器、数模转换器和压控振荡器组成。处理器将锁相环的工作状态上报外部监测系统并接受它的控制(作为时钟电路的检测部分, 不是设计的必须电路)。

逻辑控制电路相当于图 5 中的鉴相器, 它由逻辑器件组成, 可以是 CPLD、FPGA 逻辑电路组成, 主要完成本地时钟源与外部时钟源的鉴相功能; 提供与处理器的控制接口; 对压控振荡器倍频。使用高频时钟(对压控振荡器倍频后的时钟)对鉴相器的输出波形进行采样, 量化的鉴相值, 然后存储后, 通过与 CPU 的接口送到 CPU 进行计算。压控振荡器是本地时钟源, 使用三级钟的高稳压控振荡器, 本设计为了降低成本, 该晶振的日老化率的指标不要求太高。处理器模块和数模转换器模块与上述锁相环技术实现功能一致, 但数模转换器模块 DA 位数要大于 16 位。

图中, 各模块间接口说明如下:

- 接口 1: 外部时钟源信号输入到逻辑控制电路, 送入的时钟同步系统的参考源;
- 接口 2: 压控振荡器送到逻辑控制的时钟, 在逻辑控制电路中分频后与输入的时钟进行鉴相;

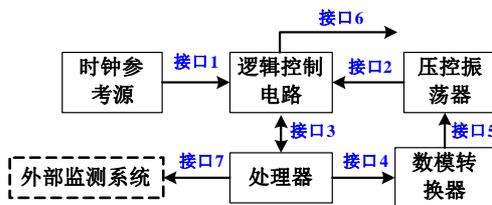


Figure 7. Clock synchronization system with time holding index circuit hardware diagram  
图 7. 时钟同步系统实现保持指标的电路硬件装置

- 接口 3: 处理器和逻辑控制电路之间的接口, 作用是通过处理器读取逻辑控制电路中的值;
- 接口 4: 处理器和数模转换器之间的接口, 作用是通过处理器对数模转换器进行控制, 写入经过计算的 DA 值;
- 接口 5: 数模转换器和压控振荡器之间的接口, 作用是通过数模转换器控制压控振荡器的输出频率;
- 接口 6: 送出的最终系统时钟, 该时钟是压控振荡器送入到逻辑控制模块后的时钟, 分频到系统需要的时钟后送出;
- 接口 7: 处理器对外的数据接口, 将锁相的状态以及相关信息送到外部监测系统。

#### 3.4.2. 保持指标的实现原理及步骤

##### 1) 实现原理

目前的时钟同步设计方法在保持状态是无法预知晶振的老化曲线的; 也没有办法预先在程序中设置的, 因为每一个晶振的老化曲线都是不同的, 所以在保持状态的时候, 由于晶振的老化造成相位有较大的漂移<sup>[9]</sup>。本设计使用一种数学方法预测晶振的老化曲线, 在保持状态是用程序进行补偿。

晶振的数学老化曲线如图 8(曲线也可能是递增的, 由于计算方法相同, 所以只画出一种进行举例说明)。

老化曲线的数学公式:

$$f(t) = A \ln(Bt + 1) + C \quad \text{公式(1)}$$

说明: 图 8 中, 横坐标用  $t$  表示时间, 纵坐标用  $f$  表示晶振的频率。公式中  $A$ 、 $B$ 、 $C$  是描述曲线变化的常数, 每一个晶振的这 3 个常数都不相同。

时钟保持算法设计思想是通过时钟锁相环在锁定输入时钟参考源的时候, 对这 3 个参数进行不断的计算修正, 经过一定长的时间, 计算出一个很逼近的值<sup>[10]</sup>。

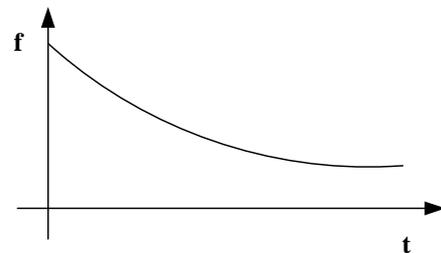


Figure 8. Crystal aging curve  
图 8. 晶振的老化曲线

由于时间  $t$  取值很大(一般大于 1000 s), 所以  $Bt \gg 1$ , 将对数回归转化为线性回归, 公式(1)简化如下:

$$f(t) = A \ln Bt + C \quad (2)$$

即:

$$f(t) = A \ln B + A \ln t + C \quad (3)$$

设  $T = \ln t$  则:

$$f(t) = AT + A \ln B + C \quad (4)$$

因为  $(A \ln B + C)$  是常数, 可以设  $M = A \ln B + C$ , 则:

$$f(t) = AT + M \quad (5)$$

对上式线性回归计算:

$$A = \frac{n \sum_{i=1}^N (f_i - \bar{f}_i)(t_i - \bar{t}_i)}{\sum_{i=1}^N (t_i - \bar{t}_i)^2} \quad (6)$$

其中:

$$\bar{f}_i = \frac{1}{N} \sum_{i=1}^N f_i, \quad \bar{t}_i = \frac{1}{N} \sum_{i=1}^N t_i \quad (7)$$

$M$  可近似为在时钟参考源丢失的时, 系统输出的频率值。当输入参考源丢失后, 程序模拟计算晶振的老化过程, 程序根据老化过程补偿相位偏差。

### 2) 实现步骤

如上述图 6 所示, 时钟系统保持算法具体实现步骤如下:

第一步, 逻辑控制电路模块把输入的参考源分频到 1 Hz;

第二步, 运行锁相算法, 锁相环锁定输入的参考时钟;

第三步, 在输入参考时钟被锁定后, 程序开始进行计时(起始时间  $t = 0$ ), 输入分频后的参考时钟(1 Hz), 每个周期, 就对处理模块进行中断一次( $n$  进行一次加 1 操作), 在中断时, 程序存储控制 DA 的值;

第四步, 存储后, 程序运行上述公式(6)、(7), 进行计算, 将计算结果保存;

第五步, 经过多次计算的值, 在进行公式(5)的系数  $A$  进行推算计算;

第六步, 循环第三到第五步的过程;

第七步, 当发现输入参考源丢失, 丢失时的 DA 值为  $M$  的值, 程序根据  $A$ 、 $M$  的值继续进行频率模拟计算, 同时内部计数器继续计数;

第八步, 在公式计算的增量达到 DA 的最小分辨率的变化频率值后(举例: 如使用 16 为 DA, DA 控制 OCXO 的变化频率是  $\pm 7$  ppm, 晶振中心频率 10 MHz, 那么 DA 的最小频率变化是 0.002 Hz; 那么当公式计算出变化了 0.002 Hz, 就修改 DA 的值), DA 的输出值加 1(或减 1), 对晶振输出频率进行修正。

## 4. 实现结果

根据对本文提出的电力系统无线传输解决方案的时钟系统进行测试分析, 输出的时钟信号如图 9 所示。

根据测试结果, 该时钟系统输出时钟信号的时间精度为 200 ns, 研究结果完全优于电力系统提出的时间精度优于  $\pm 1$  us 的要求。

由图 10 所示, 根据测试结果, 在没有 GPS 信号的情况下, 时钟系统没有外部参考源, 电路靠自身的守时算法进行时间保持, 保持的时间是在 10 分钟内, 输出的保持指标不大于 200 ns, 研究结果表明完全优于电力系统提出的优于  $\pm 4$  us(10 min)的时间保持指标要求。

## 5. 结论

随着电力行业的进一步发展以及各种新业务的引入, 电力测试系统将更加离不开精准的同步系统来保证传输数据完整高效。本文通过提出电力测试系统无线传输解决方案, 着重时钟系统的研究与实现,

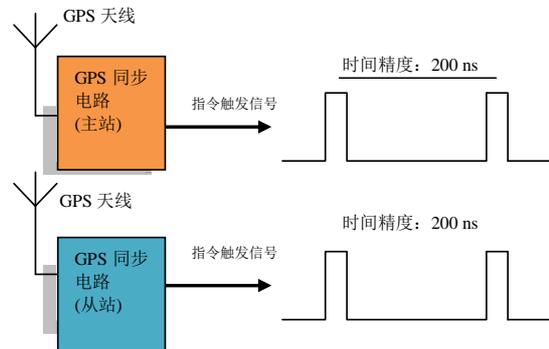


Figure 9. The time locking accuracy clock output signal  
图 9. 输出时间锁定精度时钟信号

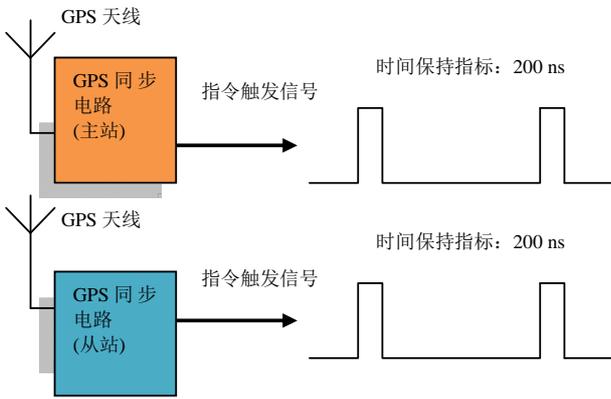


Figure 10. The time holding index clock output signal  
图 10. 输出时间保持指标的时钟信号

运用时钟锁相环技术，实现了时钟锁定精度和时钟保持指标技术，完成了时钟系统输送的时间精度为 200 ns 和时间保持指标不大于 200 ns(10 min)的实现，完全优于电力系统提出的指标要求，为建立高稳定度、高精度、安全可靠的电力测试系统通信网提供有效的保障。

### 参考文献 (References)

- [1] 国家电网公司“十一五”通信发展规划[S]. 国家电网公司, 2005.
- [2] Time synchronization technique specification in power systems, 2007.
- [3] 杨会峰, 李志斌. 河北电力通信同步网设计方案[Z]. 河北电力调度通信中心, 2003.
- [4] 张厥盛. 锁相技术[M]. 西安: 西安电子科技大学出版社, 2000.
- [5] 韦乐平. 传输系统中的时钟同步技术[M]. 北京: 人民邮电出版社, 2005.
- [6] 王勤民, 常青美, 王建民, 结凤克. 时钟锁相环的设计与实现[J]. 计算机与自动化, 2007, 8: 4-6.
- [7] 王璐. 时钟产生系统中锁相环电路设计[D]. 西安电子科技大学, 2008.
- [8] 杨丰林, 沈绪榜. 锁相环在处理器时钟设计中的应用[J]. 微电子学与计算机, 2006, 19(6): 19-20.
- [9] 郑继禹, 林基明. 同步理论与技术[M]. 北京: 电子工业出版社, 2003.
- [10] 何万里, 隋江华, 任光. 时钟同步算法的分析与比较[J]. 计算机工程与应用, 2004, 41(34): 51-53.