

A Time Interval Measurement Circuit Based on Delay Line Interpolation

Wei Zhang¹, Qiuli Wu¹, Yu Huang², Yurong Deng¹, Chun Zhang²

¹Electric Power Science Research Institute of Guangxi Electric Power Company, Nanning Guangxi

²Institute of Microelectronics, Tsinghua University, Beijing

Email: zw_10@163.com

Received: Jan. 28th, 2015; accepted: Feb. 6th, 2015; published: Feb. 13th, 2015

Copyright © 2015 by authors and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

Abstract

Time interval measurement plays an important role in time synchronization system. Precise time interval measurement can improve the accuracy of positioning system. The delay line interpolation method with electron counter is widely used in recent years, which can meet the need of high accuracy as well as large ranging scale. This paper presents a full custom time interval measurement chip based on delay line interpolation circuits in 0.18 um COMS technology to satisfy the time interval measurement needs in positioning system and realizes 128-stage delay units. The simulation accuracy of single delay cell is 67 ps and the actual maximum measurement error is approximately 1 ns.

Keywords

Delay Line Interpolation, Time Interval Measurement, Delay Cell

基于延迟线内插法的时间间隔测量电路

张 炜¹, 吴秋莉¹, 黄 钰², 邓雨荣¹, 张 春²

¹广西电网公司电力科学研究院, 广西 南宁

²清华大学微电子所, 北京

Email: zw_10@163.com

收稿日期: 2015年1月28日; 录用日期: 2015年2月6日; 发布日期: 2015年2月13日

摘要

在时间同步系统中，时间间隔的测量至关重要。提高时间间隔测量的精度，可以让整个定位系统的定位更精确。延迟线内插法是近年来广泛研究和采用的一种时间间隔测量方法。同时内插法结合电子计数器可以扩大测量量程，从而同时达到高精度、大量程的测量需求。本文针对定位系统时间间隔测量的需求，采用全定制芯片实现方式，在0.18 μm COMS工艺下，实现了128级延时单元的延时链，仿真单级延时67 ps，实际测试该芯片的测量精度在1 ns以内。

关键词

延迟线内插法，时间间隔测量，延时链

1. 引言

时间间隔测量技术在电子通信、核能科学、脉冲激光测距、电子测量设备、频率综合、医疗设备等研究领域都有着广泛的工业用途。在人员或物体定位系统，例如电力设备巡检实时定位系统中，有时间同步和测距模块，使得时间间隔的测量成为其中关键的部分，定位系统的精度关键取决于时间间隔测量的精度。因而为了达到好的系统性能，提高时间间隔测量的精度至关重要。

目前常用的时间间隔测量方法有如下分类：数字计数器法、模拟内插法、时间幅度转换法、游标卡尺法、“粗”计数和“细”时间测量组合的方法等。为了能同时满足高精度和大量程的需求，目前主流方案是所谓的“粗”计数和“细”时间测量组合[1]，这里“粗”计数即数字计数器法，采用格雷码计数器实现，“细”时间测量依靠内插技术。本文着重研究基于门延时的延迟线内插技术(又称为时间数字转换器 TDC: time-to-digital converter)，通过对一种典型的延时链的片上实现，验证和分析时间间隔测量系统性能的影响因素。

2. 时间间隔测量原理

延迟线内插法实现时间间隔测量包含粗测和精测两部分。待测时间 T 定义为输入给 start 和 stop 通道的两个脉冲的上升沿之间的时间间隔。这个时间间隔通过 TDC 模块来测量，包括脉冲计数器和延迟链，见图 1。

时间间隔测量系统有如下几个关键特征参数[2]：精度/分辨率/最低有效位，最小可测量间隔，测量范围，单脉冲精度，噪声，差分非线性，死时间与测量率，功耗，PVT 工艺拐角稳定性等。

延迟线内插技术能使得时间间隔测量系统在大的测量范围内，保证精确的分辨率和单脉冲精度。图 2

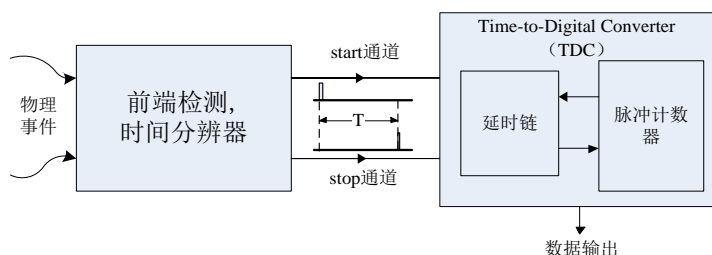


Figure 1. Scheme of time interval measurement with delay line interpolation
图 1. 延迟线内插法测量时间的基本原理图

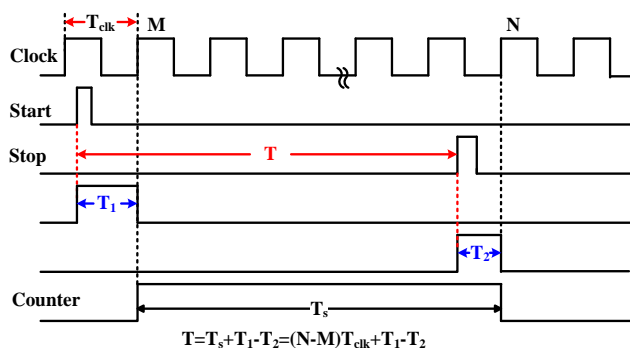


Figure 2. Sequence diagram of time interval measurement with delay line interpolation
图 2. 延迟线内插法测量时序图

显示了测量时序图，采用经典三段模式：分别测量 T_s , T_1 , T_2 。

这里，记计数器粗测时间为 T_s ，测量整数倍时钟周期；记 start 信号上升沿与其下一个最近时钟上升沿的时间间隔为 T_1 ，而 stop 信号上升沿与其下一个最近时钟上升沿的时间间隔为 T_2 。若 start 和 stop 上升沿过后，下一个最近的时钟上升沿分别为第 M 个和第 N 个时钟周期，则计数器测得值 $T_s = (N - M) \times T_{clk}$ ，待测时间间隔 $T = T_s + T_1 - T_2 = (N - M) \times T_{clk} + T_1 - T_2$ 。

Start 脉冲和 Stop 脉冲之间的间隔转化为三部分，将参考时作为中间比较信号。粗测量时间间隔由时钟计数确定，不足一个时钟周期的精细测量部分由延迟线确定。 T_1 和 T_2 不足一个时钟周期，采用内插法精测。由于采用时钟作为中间比较信号，所以需要两组测量电路才能分别确定出 T_1 和 T_2 ，在实际芯片设计中实现了两组的延时链和移位寄存器，并让二者对称。

3. 延时链的选取

本文所采用的基于门延时的时间数字转换是在获知逻辑门绝对传输延时情况下，通过计算信号通过逻辑门的数量，来精确量化时间间隔的。常用的延时链结构有[3]：基本延时链结构，游标差分延时链结构，带 DLL 延时链结构[4]，带 PLL 延时链结构[5]，两级延时链结构(图 3)。

对于基本延时链，方便实现，算法简单，并能达到基本的精度要求。将参考时钟 clk 作为反相器链输入，将 start 信号作为 D 触发器链各个 C 输入端。从结构上看，start 同时输入所有 C 输入端，而 clk 经过不同数目的 Buf 延时单元进入 D 触发器链各个 D 输入端，再通过寄存器观察在 start 上升沿时 D 触发器各输出端电平。

4. 芯片实现

本文实现了基本延时链结构的片上实现，采用 0.18 um COMS 工艺，完成了 128 级延时链结构。单个延时单元包括一个 D 触发器和一个 buffer，使用两级反相器作为一个缓冲延时，电路原理如图 4。由于 start 信号要同时接入所有 D 触发器，为了避免在导线上的差异造成 D 触发器时钟不同步，在时钟树的实现时采用完全对称的结构。

参考时钟将作为缓冲器链的输入，经过级联缓冲器的推进作为 D 触发器的 D 输入端，Start 脉冲作为 D 触发器链的 CK 输入端，D 触发器对延时链采集电平。从 D 触发器链采集到 128 个电平值，根据这一组电平值，即可以确定精测值。为了测量方便，将 128 个电平值传到移位寄存器中，进行并串转换。移位寄存器高位补零，先输出低位数据，再输出高位数据。

D 触发器中各电平并行输出，记输出值为 Q0 到 Q127，则对移动的周期信号即时钟，在某个固定点

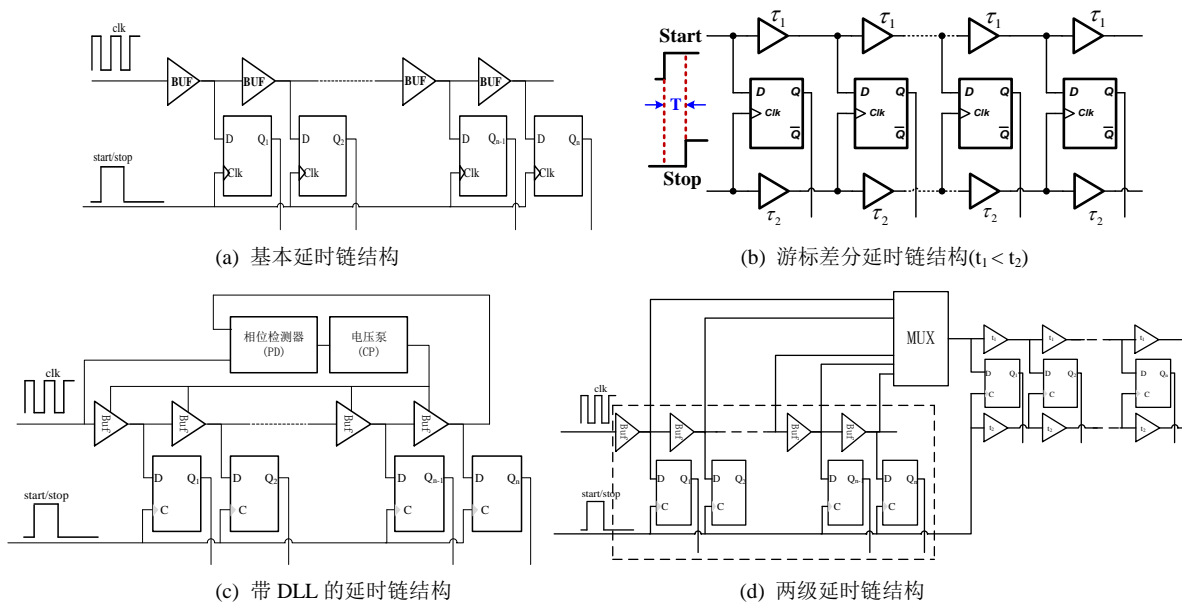


Figure 3. Different delay line circuits
图 3. 不同延时链结构图

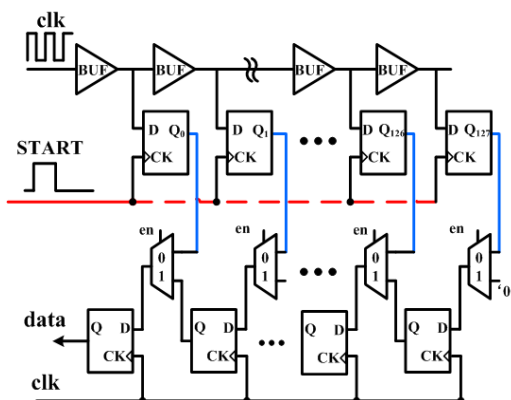


Figure 4. The delay chain schematic of this chip
图 4. 芯片延时链电路原理图

即 Start 脉冲的上升沿观测，经过更多 BUF 输出的时钟，看到的电平值对应原信号波形处在更加滞后的位置，如图 5 所示。

从图 5 可以看出，在 Start 上升沿观测，时钟和经过第一个延时单元、第二个延时单元之后的信号输出电平为“0”；经过 3~11 个延时单元后的信号输出电平为“1”；之后又有一段“0”的出现。clk 在第 13 个和第 14 个延时之间经历了翻转，则说明 Start 在时钟信号 clk 经过 13 个延时单元后，Start 和距离最近的上一个 clk 的上升沿重合。对应图 2 中的 T_1 ，计算为：

$$T_1 = T_{clk} - N_1 \tau \tag{1}$$

τ 是一个延时单元的延时， N_1 即测量值 13。

同理，对于 D 触发器 CK 端输入 Stop 信号，若测得 clk 电平在经过第 N_2 和 $N_2 + 1$ 个延时单元时由高电平跳变为低电平，则有：

$$T_2 = T_{clk} - N_2 \tau \tag{2}$$

为提高测量精度，保证 Start 脉冲信号同时进入到各个 D 触发器的时钟输入端，电路和版图需要严格保证信号通路的对称性，如图 6 所示。

脉冲信号从外部输入，然后一分为二，总共 128 路，则一分为二后左右两路各为 64 路。然后再两两对称拆分，一分为二，二分为四，四分为八，如此类推，到最末端。D 触发器链的输出，采用相应位数的移位寄存器将并行输出变为串行输出，在 FPGA 中处理数据从而得到测量值。图 7 是芯片的整体版图。

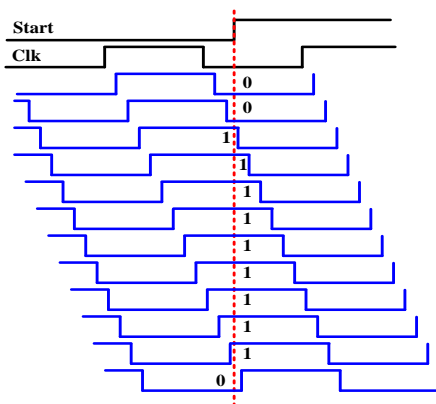


Figure 5. The output waveform of the delay line interpolation
图 5. 延迟线内插法输出波形图

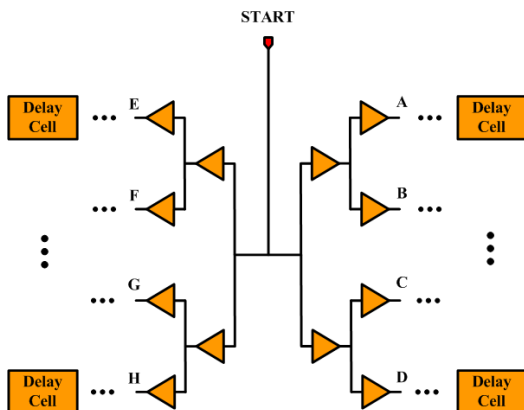


Figure 6. Symmetrical balance signal path
图 6. 平衡对称的信号通路

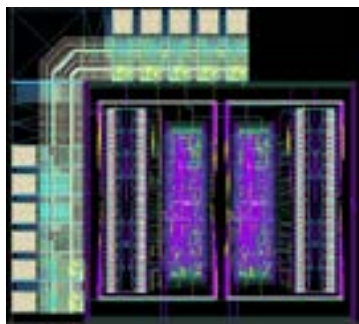


Figure 7. Chip layout
图 7. 芯片版图

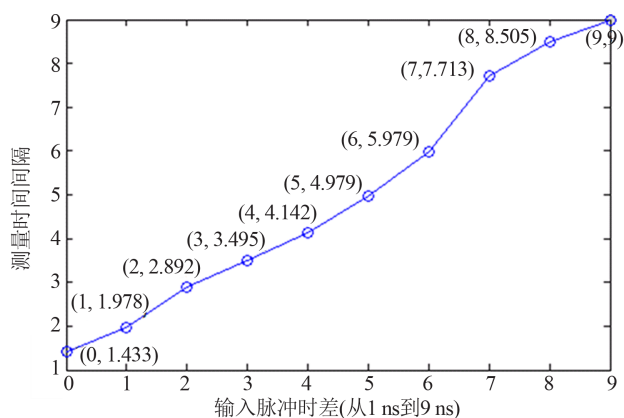


Figure 8. Measurement results of time interval from 1 ns to 9 ns

图 8. 输入时差为 0 ns~9 ns 的测量结果

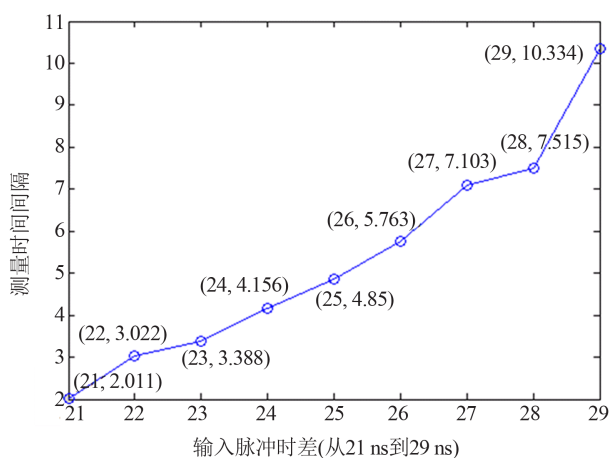


Figure 9. Measurement results of time interval from 21 ns to 29 ns

图 9. 输入时差为 21 ns~29 ns 的测量结果

5. 芯片测试

为了保证测试结果的精确性,采用高精度的脉冲信号产生仪器安捷伦 81160A 产生频率 100 M, 占空比为 1:1 的时钟信号, 以及 start、stop 信号, 采用逻辑分析仪观测和采集信号。信号发生器分别产生时间间隔为 1 ns~9 ns 以及 21 ns~29 ns 脉冲信号时, 芯片测得的实际结果如图 8 和图 9。受工艺、电压、温度等影响, 实际测试结果与设计有一定偏差, 测量精度在 1 ns 以内。

6. 结束语

本文完成了延迟线内插法精细测量部分 ASIC 实现的设计、流片及测试, 最终测试精度达到 1 ns 以内, 该电路可集成到定位芯片中, 通过检测信号到达芯片的时间差(TDOA)来确定目标的距离, 实现目标定位。

基金项目

广西电网, “输变电环境关键技术研究”, GXYT(S)-2013-011TP; 国家高技术研究发展计划(863 计

划)(2011AA010404)。

参考文献 (References)

- [1] 安琪 (2006) 粒子物理实验中的精密时间间隔测量. *Nuclear Techniques*, **6**.
- [2] Napolitano, P., Moschitta, A. and Carbone, P. (2010) A survey on time interval measurement techniques and testing methods. *IEEE Transactions on Instrumentation and Measurement*, 181-186.
- [3] Ramakrishnan, V. and Balsara, P.T. (2006) A wide-range, high-resolution, compact, CMOS time to digital converter. *VLSI Design*, 3-7 January 2006, 1063-9667.
- [4] Jansson, J.-P., Mäntyniemi, A. and Kostamovaara, J. (2006) A CMOS time-to-digital converter with better than 10 ps single-shot precision. *IEEE Journal of Solid-State Circuits*, **41**, 1286-1296.
- [5] Tangudu, J., Gunturi, S., et al. (2009) Quantization noise improvement of time to digital converter (TDC) for ADPLL. *IEEE International Symposium on Circuits and Systems (ISCAS)*, 1020-1023.