

# 基于SAW\_RFID回波信号数字化研究

张陈威

上海理工大学光电信息与计算机工程学院, 上海

收稿日期: 2023年4月14日; 录用日期: 2023年6月8日; 发布日期: 2023年6月19日

## 摘要

随着声表面波射频识别技术(SAW-RFID)的发展, 实现远距离、高分辨率的SAW标签探测成了整个系统的关键因素。针对此问题, 将雷达中常用的线性调频脉冲压缩方案用于本系统, 来对回波信号进行数字化处理。在matlab中通过加窗及算法处理, 做了仿真分析, 将脉冲压缩信号的主副瓣比提高了26 dB。其次在带通采样原理下, 建立FPGA+AD的硬件采样系统, 将回波信号送入FPGA内进行数字下变频, 同时将数控振荡器(NCO)硬件流水线结构进行优化, 减少了20%系统资源, 信号处理延时仅为8.3 us。最后与matlab进行比对, 验证此套系统的可行性, 为SAW-RFID技术提供了更多的可能。

## 关键词

SAW-RFID, FPGA, 脉冲压缩, AD9236, 下变频

# Based on the Research on the Digitization of SAW\_RFID Echo Signals

Chenwei Zhang

School of Optical-Electrical and Computer Engineering, University of Shanghai for Science and Technology, Shanghai

Received: Apr. 14<sup>th</sup>, 2023; accepted: Jun. 8<sup>th</sup>, 2023; published: Jun. 19<sup>th</sup>, 2023

## Abstract

With the development of surface acoustic wave radio frequency identification (SAW-RFID), long-distance, high-resolution SAW tag detection has become a key factor in the entire system. In order to solve this problem, the chirp pulse compression scheme commonly used in radar is used in this system to digitize the echo signal. In MATLAB, through the window addition and algorithm processing, the simulation analysis was carried out, and the main and secondary lobe ratio of the pulse compression signal was increased by 26 dB. Secondly, under the principle of band pass sam-

pling, a hardware sampling system of FPGA + AD is established, and the echo signal is sent into the FPGA for digital down conversion, and the hardware pipeline structure of the numerical control oscillator (NCO) is optimized, which reduces the system resources by 20% and the signal processing delay is only 8.3 us. Finally, it is compared with MATLAB to verify the feasibility of this system, which provides more possibilities for SAW-RFID technology.

## Keywords

SAW-RFID, FPGA, Pulse Compression, AD9236, Down-Conversion

Copyright © 2023 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

## 1. 引言

声表面波技术(SAW)始于上世纪八十年代, 可以实现无线无源传感且具有较强的电磁干扰能力。射频识别技术(RFID)是一种利用射频进行远距离传输的通信技术, 是现代电子学, 微波学和信号处理的新领域。基于声表面波的射频识别技术(SAW-RFID)可以工作在无线无源的环境下且对比于传统 IC-RFID, 它具有更大的定位精度和识别距离且成本低体积小, 被认为是二十一世纪最具有潜力的技术之一[1] [2] [3] [4] [5]。

在 SAW-RFID 系统中, 当随着 SAW 标签上的信息容量的增加, 需要 SAW-RFID 的阅读器能够更加精准的计算回波时间, 除了提高阅读器发射链路和接收链路上的激励信号, 其中高速数据信号的采集是提高阅读器和 SAW-RFID 性能的关键因素之一[6]。此外对于回波信号, 一旦阅读器和 SAW 标签距离改变, 接收链路如何进行有效的接收也是一个问题[7]。因此对于理想的信号应具有大的时宽带宽积, 脉冲压缩技术很好的实现了这点。传统的 SAW-RFID 采用基带采样和硬件下变频实现, 在 DSP 器件上通过算法编程实现脉冲压缩。此方案不仅成本高, 且存在 IQ 两路幅值不均等, 处理速度慢, 延时大等缺点[8]。针对上述问题, 本文提出了一种基于 AD9236 + FPGA 设计的高速数据采集系统, 且在 FPGA 内进行数字下变频, 并实现脉冲压缩处理[9] [10], 利用的是 FPGA 并行工作的优势, 解决实时大数据的处理[11] [12]。通过仿真和实验, 验证了此方案的可行性。

## 2. 理论基础

### 2.1. 线性调频

脉冲压缩一般分为四种方式[13], 分别是线性调频脉冲压缩, 非线性调频脉冲压缩, 相位编码脉冲压缩和时间频率脉冲压缩。由于线性调频信号对多普勒不敏感, 同时线性调频通过线性频率调制来获得较大的时宽带宽积, 具有较大的抗噪能力, 因此一般选择线性调频的方式进行脉冲压缩。线性调频信号的表达式为:

$$\begin{aligned} s(t) &= u(t)\exp(j2\pi f_0 t) \\ &= \frac{1}{\sqrt{T}} \text{rect}\left(\frac{t}{T}\right) \exp\left[j2\pi\left(f_0 t + \frac{kt^2}{2}\right)\right] \end{aligned} \quad (1)$$

其中  $T$  为脉冲宽度,  $f_0$  为信号中心频率,  $u(t)$  为信号复包络,  $u(t)$  和  $\text{rect}(t)$  的具体表达式如下:

$$u(t) = \frac{1}{\sqrt{T}} \text{rect}\left(\frac{t}{T}\right) \exp(j\pi kt^2) \quad (2)$$

$$\text{rect}(t) = \begin{cases} 1 & -\frac{T}{2} < t < \frac{T}{2} \\ 0 & \text{其他} \end{cases} \quad (3)$$

其中  $k = B/T$  为调频斜率,  $B$  为信号带宽,  $f_0$  为信号中心频率。当  $f_0$  趋近于 0 时, 将会得到基带信号。

线性调频信号会在脉冲压缩后的结果出现主副瓣比较小, 会使信号处理出现漏捕, 解决这一问题会采取加权方式。加权一般会在接收端进行, 目的是能够使得发射机处在最佳状态。其中 Hamming 窗的幅频特性是旁瓣衰减较大, 主瓣峰值与第一个旁瓣峰值衰减可达 40 db, 因此在加窗时选择 Hamming 窗, 与本实验的环境较匹配[14] [15] [16]。

## 2.2. 脉冲压缩

数字脉冲压缩一般在基带信号中实现, 当中频回波信号在 AD 中进行采样, 得到数据经过数字下变频, 然后在数字下变频中进行混频和低通滤波, 变成 i/q 两路零中频的基带信号, 为 DDC\_OUT\_i2 和 DDC\_OUT\_q2, 接着与本地的匹配滤波器的 i/q 进行相乘, 求差求和得到脉冲后的 i/q 两路为 DDC\_OUT\_i2\_i+DDC\_OUT\_q2\_i 和 DDC\_OUT\_i2\_q+DDC\_OUT\_q2\_q, 最后将信号进行求模得到最终的脉压结果。具体流程图如图 1 所示。这样使得在发射功率降低的情况下, 也能获得较大的时宽带宽积, 时宽大可以提高发射信号能量, 发射距离远, 带宽大可以提高距离分辨力, 解决了距离和分辨力之间的矛盾。

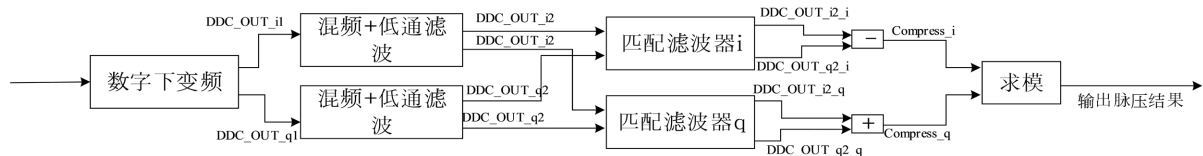


Figure 1. Pulse compression flowchart

图 1. 脉冲压缩流程图

脉冲压缩有两种实现方法, 一类是在频域上进行处理, 将零中频回波信号进行快速傅里叶变换, 然后与发射信号的频谱相乘, 然后再进行逆傅里叶变换得出结果; 另一类是时域处理法, 将零中频信号与回波信号进行卷积得出结果。虽然时域脉冲对卷积的运算量大, 但是减少采样点数或者对脉宽要求不大时, 时域脉冲更加适合, 结构更加简单, 延迟较小, 易于实现。时域处理法对回波进行卷积运算公式如下:

$$y(n) = s(n) \cdot h(n) \quad (4)$$

其中  $s(n)$  为回波信号,  $h(n)$  是匹配滤波器的冲击相应。匹配滤波器的时域响应函数为:

$$h(t) = Ku(t_m - t) \quad (5)$$

其中  $u(t)$  为输入信号,  $t_m$  为最大信噪比输入时刻,  $k$  为增益常数。为了让  $h(t)$  具有更大的时域响应, 应满足  $t_m > \tau$ ,  $\tau$  为信号输入结束时刻。假设模拟信号进入 AD 之后, 得到的数字序列为  $q(n)$ , 在脉宽内取点数为  $N$ , 则此时匹配滤波器的冲击响应  $h(n)$  为

$$h(n) = q(N-1-n) \quad n = 0, 1, \dots, N-1 \quad (6)$$

与上式联立到的最终的匹配滤波器的输出为

$$f(n) = \sum_{k=0}^{N-1} x(n-k)h(k) \quad (7)$$

对于理想的脉冲压缩信号需要满足两个条件：第一，发射脉冲信号的相位谱需要是非线性，这是实现压缩的前提，并且脉冲宽度  $T$  与有效带宽  $B$  之间乘积远远大于 1。第二，匹配滤波器与发射脉冲的相频特性须满足匹配共轭，这是脉冲压缩的必要条件，要求匹配滤波器的系数与发射脉冲的系数一致度高。

### 2.3. 数字下变频

数字下变频不同于模拟下变频，消除了基带调理电路引起的标签回波幅度和模拟 I/Q 通道相位不平衡的问题，从而使标签上所有反射器对应的回波脉冲序列的时间延迟和相位计算更加稳定和准确。数字下变频包括混频器，低通滤波器和数控振荡器(NCO)，其工作原理是 NCO 的输出与输入信号进行混频，将输入信号的频谱搬移到基带，再通过低通滤波和抽取，完成 IQ 两路的输出。

其中 NCO 是数字下变频中最核心的部分，其产生方式分两种，分别是查表法和坐标旋转法(CORDIC)，对比于查表法，坐标旋转法只需要简单的加减运算，移位拼接即可代替复杂的乘法运算，且在 FPGA 内部易于实现，不占用 ROM 资源。对于传统的坐标旋转法，需要每一级的数据实时的反馈至输入端，会导致运行速度降低，吞吐量下降等问题。因此本系统采用的是流水线结构，每一级的运算单元都使用独立的运算空间，虽然占据一定资源，但是速度会更快，吞吐量更大。其硬件流水线结构如下图 2 所示。

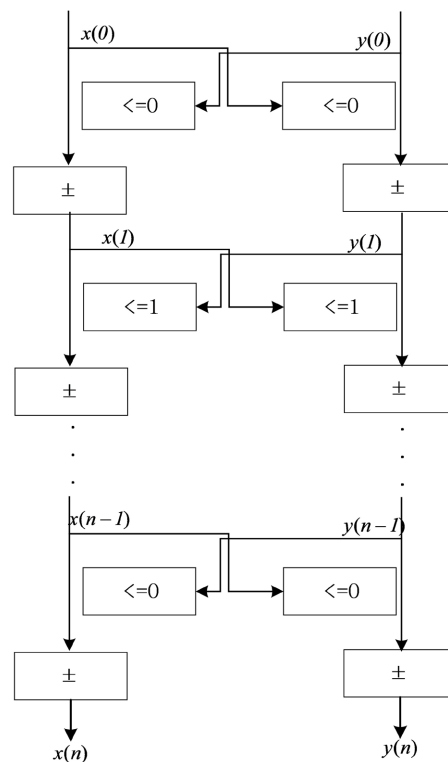


Figure 2. Coordinate rotation method pipeline structure  
图 2. 坐标旋转法流水线结构图

其工作原理为 X 和 Y 寄存器一部分送入自己的加减运算中，一部分送入对方的移位寄存器中。送往自己加减运算中的数据与对方移位寄存器中的数据再做加减运算，因此移位寄存器随着迭代次数的增加而增加。其流水线性结构的每一级都采用独立运算模式，大大增加了运算速度。其中为了保证资源够用，

$n$ 取值为 16 即可。当设置频率为 120 MHz 时,改进后坐标旋转法的逻辑单元为 2228 个,与文献[14]中的 2821 个提高了接近 20%。NCO 逻辑占用数如下图 3 所示:

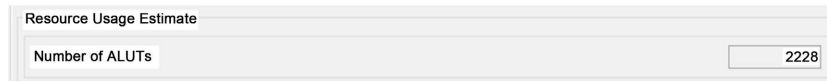


Figure 3. NCO logical value occupancy  
图 3. NCO 逻辑值占用数

设 AD 送来的信号的表达式如下:

$$s(nT_s) = A(nT_s) \cos[2\pi f_0 nT_s + \varphi(nT_s)] \quad (8)$$

对其进行化简为:

$$s(nT_s) = x_i(t) \cos(2\pi f_0 nT_s) - x_q \sin(2\pi f_0 nT_s) \quad (9)$$

当采样频率满足带通采样最佳频率时,即式子(11)时,上式又可以继续化简为:

$$\begin{aligned} s(nT_s) &= x_i(t) \cos\left(2\pi f_0 n \cdot \frac{2m-1}{4f_0}\right) - x_q(t) \sin\left(2\pi f_0 n \cdot \frac{2m-1}{4f_0}\right) \\ &= x_i(t) \cos\left(nm\pi - \frac{n\pi}{2}\right) - x_q(t) \sin\left(nm\pi - \frac{n\pi}{2}\right) \end{aligned} \quad (10)$$

由上式可知,将  $s(nT_s)$  与 NCO 所产生的两个本振信号  $\cos(2\pi f_0 nT_s)$  和  $-\sin(2\pi f_0 nT_s)$ , 进行混频到 IQ 两路数据,再通过低通滤波器滤除高频信号,得到的就零中频信号即基带信号。无论  $n$  为何值时,  $\cos\left(nm\pi - \frac{n\pi}{2}\right) = (1, 0, -1, 0, \dots)$ ,  $-\sin\left(nm\pi - \frac{n\pi}{2}\right) = (0, -1, 0, 1, \dots)$  会交互出现,这样子  $\cos(2\pi f_0 nT_s)$  变成  $[1, 0, -1, 0]$  的循环序列,  $-\sin(2\pi f_0 nT_s)$  变成  $[0, -1, 0, 1]$  的循环序列,计算相当方便。

### 3. 仿真

根据上述理论基础,先在 matlab 中进行仿真,分为回波信号,数字下变频信号和脉冲压缩信号。对于 SAW-RFID 系统,其中心频率  $f_0$  为 70 MHz,带宽  $B$  为 10 MHz,采样率  $f_s$  设置为 80 MHz。先生成回波信号信号,并将其保存在 ROM 中。随后进行数字下变频,而在数字下变频中,需要设计低通滤波器,低通滤波器是在 matlab 的 fdatool 工具箱中生成,目的是滤除高频信号,得到滤波器系数,并将其系数保存到 Num 数组中,随后对滤波后的两路信号进行四倍抽取,能更直观的查看波形,接着生成本地匹配滤波器,与自相关函数进行时域卷积,同时进行加窗处理,最后求模得到脉压信号。图 4~10 依次给出在中频信号下进行数字下变频,以及加窗和不加窗之后的脉冲压缩结果。

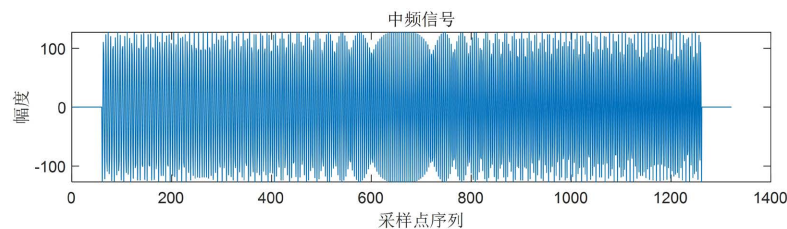


Figure 4. Medium frequency signal diagram  
图 4. 中频信号图

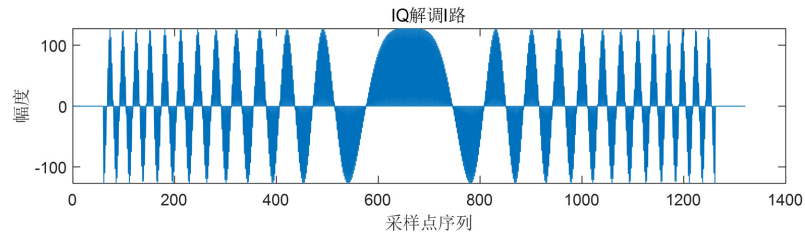


Figure 5. I-way signal (real part)  
图 5. I 路信号(实部)

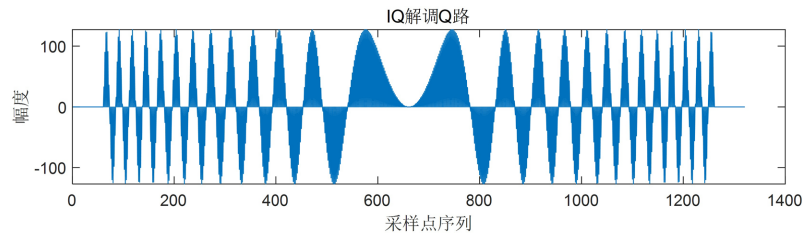


Figure 6. Q-way signal (imaginary part)  
图 6. Q 路信号(虚部)

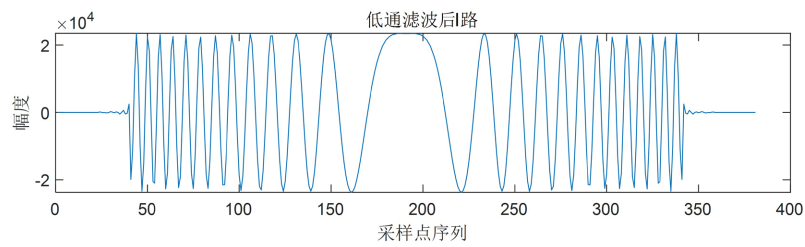


Figure 7. Low-pass filtered I-way signal  
图 7. 低通滤波后 I 路信号

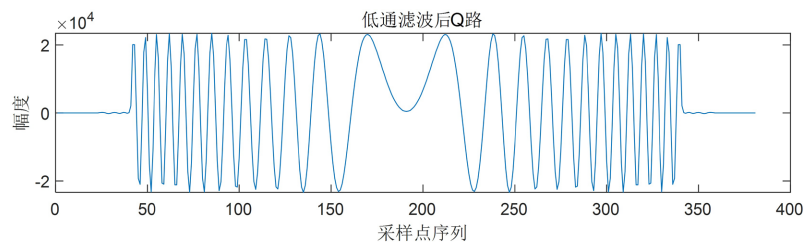


Figure 8. Low-pass filtered Q-way signal  
图 8. 低通滤波后 Q 路信号

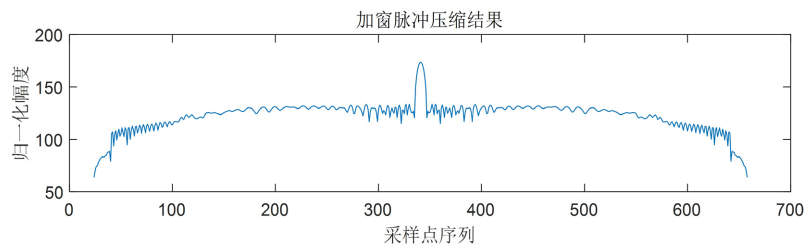


Figure 9. Windowed pulse compression  
图 9. 加窗脉冲压缩

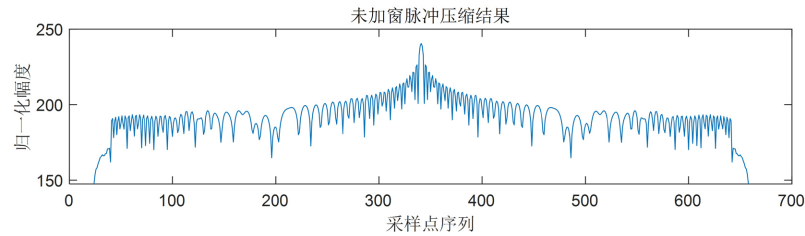


Figure 10. Unwindowed pulse compression  
图 10. 未加窗脉冲压缩

图中横轴为采样点序列，纵轴为幅度，脉冲压缩结果的纵轴为归一化幅度。从上图可以看到，加窗之后的，副瓣降低。未加窗主副瓣比绝对值为 26 dB，加窗后主副瓣比的绝对值为 52 dB，提高约 26 dB，这样使得脉压信号变的更加光滑。同时保存滤波器系数文件，为后续 FPGA 程序开发所使用。

## 4. 硬件系统

### 4.1. 硬件平台

本系统设计是基于 FPGA 平台进行开发，使用 Xilinx 公司 XC7A35TFGG484 作为核心数字处理器件，包含 33,280 个逻辑单元，250 个 I/O 口，开发环境是基于 Vivado，采用 Verilog 硬件描述语言进行编程。SAW-RFID 的射频部分主要包括接收和发射回路。发射链路由射频发射器，增益大器，功率放大器，滤波器，接收发送开关组成。接收链路由射频接收器，低噪放，滤波器和 AD 组成。AD 选用的是一款采样率达到 80 MHz，带宽 500 MHz，输出 12 位数据的模数转换芯片。其具体工作流程为，发送链路发送模拟信号经过滤波等过程，传送至开关，再经天线传输至 SAW 标签，以同样的方式返回，达到接收链路。经过接收链路的下变频至中频，模拟信号被 AD 采集，数据传输至 FPGA，在 FPGA 内做数字下变频，脉冲压缩处理，最后输出至 PC 端得到处理后的波形和数据。硬件系统处理过程如下图 11 所示：

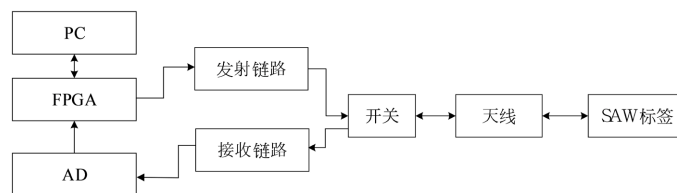


Figure 11. SAW-RFID system flowchart  
图 11. SAW-RFID 系统流程图

### 4.2. AD 设计

根据奈奎斯特采样定理知，若使采样后信号频谱不混叠，采样速率须大于二倍的信号最高频率分量。但由于采样频率过大一方面需采用性能更佳的采样器，另一方面过大的数据量会对整个系统的处理能力造成压力，为了解决这一问题，需采用带通信号采样。它对信号的最高频率并无限制，只要带宽有限就能使用。因此带通采样定理的表达式为：

$$f_s = \frac{4f_0}{2m-1} \quad (11)$$

其中  $f_0$  是采样信号的中心频率， $f_s$  为 ADC 采样率， $m$  可以取满足  $f_s \geq 2B$  的任意正整数值即可，表示被采样的中频信号在当前采样频率的第  $k$  个奈奎斯特区域。对于 SAW-RFID 系统， $f_0$  为 70 MHz，带宽

$B$  为 10 MHz。所以理论上  $f_s$  为大于 20 MHz 即可，但是在工程应用中，带通采样的采样频率通常是信号带宽的五倍以上。在上述要求中，选择 ADI 公司的 AD9236 作为本实验的 ADC。AD9236 是一款高性能的高速 ADC，最高采样率达到 80 MHz，带宽 500 MHz，输出 12 位数据。

为了验证硬件设计及软件设计的正确性，单独对 AD9236 进行试验，其具体工作流程为，信号发生器输出射频信号时，经过匹配电路提供给能让 AD9236 采集的模拟信号，经 AD 内部的模数转化，将数据传输至 FPGA 内部，考虑到采用的是串口传输，数据较慢，先由 FPGA 内部的 FIFO 进行存储，保证读取数据的有效性，再通过串口传输给 PC 端，具体流程图如图 12 所示。其中匹配电路设计尤为关键，因为它能保证接模拟输出阻抗与 ADC 相匹配，同时使得此电路具有带通频率特性，抑制外带信号，防止 AD 受到高频噪声影响。同时本方案中的匹配电路另一个作用是将单端信号转成差分信号，方便 AD9236 的输入。

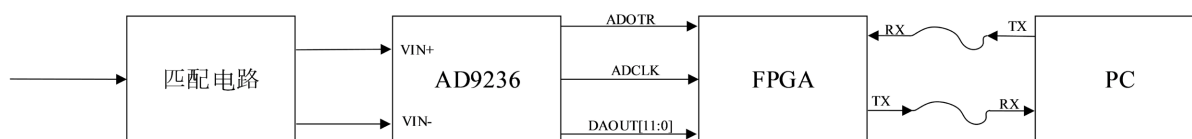


Figure 12. AD flowchart

图 12. AD 流程图

对 AD9236 的软件设计结合状态机思想，完成模拟信号同步采集，利用 Verilog 语言完成对逻辑时序的配置。为了验证 AD 采样得到的数据与输入数据是否相同，借助 matlab 的绘制函数图形的功能来判断。利用信号发生器，发射 1 MHz 的正弦波，在串口助手得到的 16 位数据进行保存，然后在 matlab 中对数据进行解析，得到的波形和实际采样波形进行对比，对比图如下图 13 和图 14 所示。可知对 AD9236 的配置正确，能够满足此系统的采样要求。

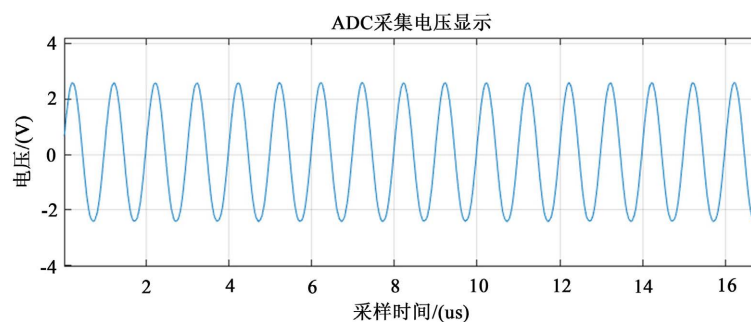


Figure 13. AD sampling result plot

图 13. AD 采样结果图



Figure 14. AD acquisition map

图 14. AD 采集图



### 4.3. 硬件实现过程

搭建完整的硬件设计电路，同时 FPGA 配置各模块参数。当模拟信号进入 AD 时，将 AD 得到的信号转化为数字信号，对此数字信号进行数字下变频，此时  $i, q$  两路的本振信号分别是  $[1, 0, -1, 0]$ 、 $[0, 1, 0, -1]$  的周期序列，再进行低通滤波，需要四组相关的匹配滤波器，来输出最终的  $i, q$  两路数据。其中匹配滤波器的系数文件可采用上面仿真前设置的系数文件。接着对数据进行抽取，每隔十个时钟周期，将滤波器的数据有效位拉高。然后进行匹配滤波，不同的是频率变为 40 MHz，因为进行了两倍抽取，在此过程中也足够了。最后对数据进行求模得到最终的脉压值，得到波形如下图 15 和图 16 所示，图 17 为本实验采集图。其中信号数字化处理延时仅为 8.3  $\mu\text{s}$ ，远低于硬件下变频时间。

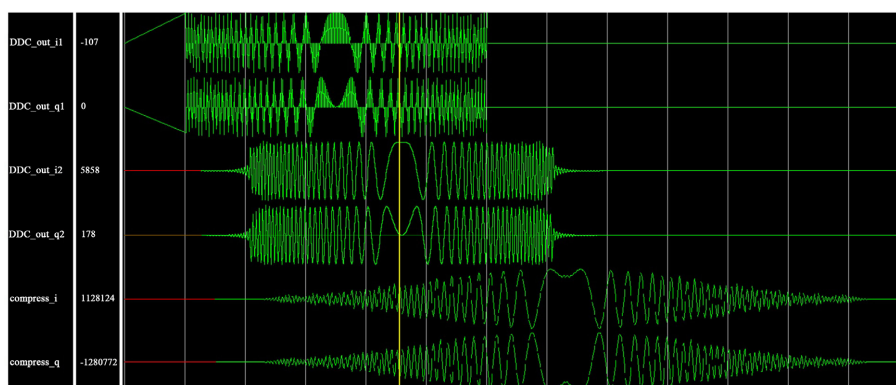


Figure 15. Digital down conversion graph

图 15. 数字下变频图



Figure 16. Pulse compression result plot

图 16. 脉冲压缩结果图

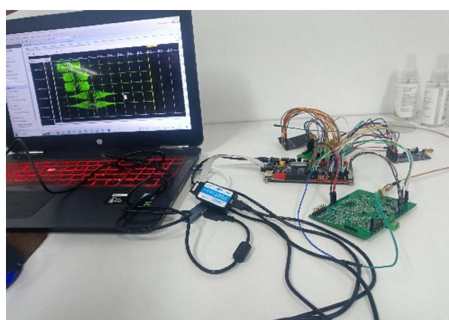


Figure 17. Experimental acquisition chart

图 17. 实验采集图

## 5. 结束语

随着声表面波系统的快速发展，对 SAW 标签高分辨力和远距离探测提出了更高的要求。因此本文对 SAW-RFID 对回波信号，提出了雷达中常用的脉冲压缩方法，属于 SAW 领域内较新的数字化处理方

法。通过 matlab 仿真,实现信号的数字化处理,并采取加窗方式,将脉冲压缩信号的主副瓣比提高 26 dB。然后建立 FPGA + AD 的硬件采样系统,在带通采样定理下,对 AD 回波信号进行采样,在 FPGA 内,实现数字下变频,将 NCO 的硬件流水线结构进行改进,节省了 20%资源,信号处理延时仅为 8.3 us,与硬件下变频相比,大大减少了系统数字化处理时间,完全满足系统要求。为 SAW-RFID 的研究提供了理论和实践基础,也为后续的 SAW-RFID 数字信号处理提供了有效方法。

## 致 谢

时光荏苒,岁月如梭,经过两年的科研经历,感谢一起奋斗的老师,同学和朋友。没有你们对我的教导和督促,我的成长就不会得到这么大提升。首先感谢我的导师范老师,是你一次又一次地指导我科研工作,提供宝贵的科研经验,以及对我项目数次的点拨,为后面的实验打下了坚实的基础。同时感谢 811 课题组的所有人,我们一起探讨,一起学习,一起成长,才有了硕果累累的科研成果,才有了一篇又一篇的科研论文。同时感谢我得亲人,是你们提供了经济基础,让我没有了后顾之忧。最后感谢评审委员,对于本论文的评审工作,谢谢你们,辛苦啦!

## 参考文献

- [1] 曾重阳. 基于 SAW 传感器的高速 RFID 阅读器设计与分析[D]: [硕士学位论文]. 秦皇岛: 燕山大学, 2017.
- [2] 潘虹芝, 曹健, 齐梦珂, 程一民, 曹亮, 牟笑静. 极端环境下声表面波压力传感器研究进展[J]. 压电与声光, 2021, 43(3): 306-312.
- [3] 王毅坚, 薛蓄峰, 梁勇, 王文, 朱宸晖. 差分负载式无线无源声表面波应变传感器研究[J]. 压电与声光, 2018, 40(3): 374-378.
- [4] Yang, P., Wu, W., Moniri, M. and Chibelushi, C.C. (2013) Efficient Object Localization Using Sparsely Distributed Passive RFID Tags. *IEEE Transactions on Industrial Electronics*, **60**, 5914-5924. <https://doi.org/10.1109/TIE.2012.2230596>
- [5] 赵钊, 高杨, 张树民. 高 Q 值声表面波谐振器研究进展[J]. 压电与声光, 2022, 44(6): 841-846.
- [6] Chen, Z., Jia, H., Chen, T., Wang, X., Guo, J. and Cai, P. (2019) High-Speed Data Acquisition of the Reader of the SAW RFID System. *IET Science, Measurement & Technology*, **13**, 1163-1169. <https://doi.org/10.1049/iet-smt.2019.0189>
- [7] 阮静平, 史汝川, 杨扬, 韩韬. 基于 SAW RFID 系统的标签距离估计[J]. 系统工程与电子技术, 2019, 41(11): 2439-2445.
- [8] Krishnamurthy, S., Atashbar, M.Z. and Bazuin, B.J. (2009) Burst Transceiver Unit for Wireless Passive SAW Sensing System. *IEEE Transactions on Instrumentation and Measurement*, **58**, 3746-3753. <https://doi.org/10.1109/TIM.2009.2019707>
- [9] 刘琳童. 线性调频信号脉冲压缩的 FPGA 实现[D]: [硕士学位论文]. 西安: 西安电子科技大学, 2009.
- [10] 王晓迪, 余佩, 陈建臣. 基于 FPGA 和时域卷积实现线性调频信号脉冲压缩方法[J]. 通讯世界, 2017(15): 49-50.
- [11] 张中前. 基于 FPGA 设计的功能验证技术[J]. 机电元件, 2012, 32(3): 28-31+44.
- [12] 赵鹏, 程光, 赵德宇. 基于 FPGA 的高性能可编程数据平面研究综述[J/OL]. 软件学报: 1-25. <https://doi.org/10.13328/j.cnki.jos.006669>, 2023-04-25.
- [13] 丁筱. 线性调频脉冲压缩定距系统信号处理技术[D]: [硕士学位论文]. 南京: 南京理工大学, 2013.
- [14] 陈艳霜. 基于 FPGA 的雷达中频信号预处理器的设计与实现[D]: [硕士学位论文]. 昆明: 云南大学, 2020. <https://doi.org/10.27456/d.cnki.gyndu.2020.002470>
- [15] 周骏, 王冬华, 沈洋, 丁逊. 脉冲压缩距离副瓣抑制研究[J]. 雷达与对抗, 2022, 42(3): 25-27. <https://doi.org/10.19341/j.cnki.1009-0401.2022.03.006>
- [16] 金德亚, 张玮. 线性调频脉冲压缩信号旁瓣抑制分析[J]. 舰船电子对抗, 2021, 44(3): 100-102+106. <https://doi.org/10.16426/j.cnki.jcdzdk.2021.03.021>