

# Dynamic Voltage Assignment Technique for Cell Based Design under Power and Performance Constraints

Ching-Hwa Cheng

Department of Electrical Engineering, Feng-Chia University, Taichung  
Email: chengch@fcu.edu.tw

Received: Apr. 1<sup>st</sup>, 2013; revised: Apr. 26<sup>th</sup>, 2013; accepted: May 10<sup>th</sup>, 2013

Copyright © 2013 Ching-Hwa Cheng. This is an open access article distributed under the Creative Commons Attribution License, which permits unrestricted use, distribution, and reproduction in any medium, provided the original work is properly cited.

**Abstract:** Lowering  $V_{DD}$  on selected blocks helps to reduce power significantly. Unfortunately, lowering the voltage also increases the delay of the gates in the design. Multi-voltage design is an effective way to reduce power consumption. High voltage is applied to the critical function or path, while low voltage is applied to non-critical paths. If the designer wants to choose different performance levels in the same design, designer needs to know how to program the voltage of the cell. This method reduces power consumption and not only maintains the same circuit performance but also saves power. In the proposed methodology of this paper, supply voltage applied to logic gates is programmable, and logic gates can be specified to high or low voltage domains according to operating system requirements. In order not to violate the delay time, the logic gates on the critical path require higher voltage. Lower voltage on the logic gates can be assigned to partial non-critical paths simultaneously. In the proposed method, the power switches possess the feature of flexible programming. They can easily be controlled according to the user requirement after chip manufacture. The potential of this design is that voltage domain can be switched to either high or low based on different design constraints, e.g. voltage drop and temperature increase. The characteristic of this mechanism is programmable re-design of voltage domain after chip fabrication. The chip function proof this novel methodology is fully successful used in power-performance tradeoff application.

**Keywords:** Low Power Design; Multi Voltage Domain

## 具效能和功率考虑之动态电压规划技术与 自动化流程设计之实现

郑经华

逢甲大学电子工程学系, 台中  
Email: chengch@fcu.edu.tw

收稿日期: 2013 年 4 月 1 日; 修回日期: 2013 年 4 月 26 日; 录用日期: 2013 年 5 月 10 日

**摘要:** 降低电压可以有效减少功率消耗, 但是严重影响电路效能。为了维持芯片在相同的效能下工作, 又要节省消耗功率, 我们使用多电压源的设计作法。使用多电压源的芯片设计方法就是在关键路径(Critical Path)上的组件使用高电压, 而非关键路径(Non-Critical Path)上的组件则使用低电压源。这样子就可以使电路在具相同的效能之下, 还可以有效的节省功率。将我们的设计应用在相同的电路, 可以让使用者选用不同的效能与功率消耗的组合模式, 我们采用双电源的方式设计芯片, 对于双电压源上的组件分布, 还有组件如何给定不同的电压, 及低准位和高准位输出之间的转换, 这些都是需要考虑的范围。所以如何实现出这种可规划电压的电路设计方法, 还有将这些组件做群组, 并做适当的摆放来减少面积增加的问题, 与如何控制这些组件的电压, 并将此双电源设计在 MPEG VLD 的芯片, 成功的实现依效能与功率消耗区分为三段的调节模式: 快速、正常与省电, 芯

片成功实证此方法除可降低功率外，并可有效用于功率管理，功率节省范围可达 65%。

**关键词：**低功率；多电源区域

## 1. 简介

我们应用多电压(Multi-Voltage)的方法，一方面可以节省功率，另一方面又可以符合效率的要求。因此我们在设计上，采取多电压设计的方法是在重要的功能或路径上使用高电压源；而非重要的路径，则使用低电压源，用这种观念来达到节省功率但不会造成电路降低效能的方法。

在同样效能的条件下，动态调整电源电压电路能节省较大的功率消耗，DVFS<sup>[1]</sup>调整电压是从全域性(Global)的方式来做调整，相对于本论文中，采用依逻辑组件特性的电压方式调整较简单合理。可规划电压区域的 VDP 的技术是用来改善传统 DVFS 面积较大的问题，因为 DVFS 只能从外面的控制 VDD 电压与 Clock 频率去调整功率消耗。而电路后端设计技术虽有下列论文说明<sup>[1-5]</sup>，但缺少自动化设计芯片的验证。

我们所提出创新的可程序规划电压技术达到效能和功率的调节，电路设计技术与架构是先利用丛集式电压(CLUSTVAR)算法来做出最佳的电路切割技术，因为它的结果会影响到整个系统完成之后的消耗功率和效能，所以我们必须了解到线路切割完之后，评估是否得到我们想要的效果，我们可以从模拟得到的结果，经由实验数据分析，得到一个较好的电路切割模式，以方便我们进行后续的电压规划技术。

## 2. 电源区域重新调整(VDP)技术

### 2.1. Multi VDD 的电路设计

我们应用多电压的架构，可以节省功率外，另一方面又可以符合效能的要求进行功率的管理。我们的经由 CLUSTVAR 的技术，将这些有多出余裕时间的路径，降低其操作电压源<sup>[6-8]</sup>，只要保持着余裕时间不要小于零，如此就不会发生输出逻辑运算错误的问题，又能达到节省功率的目的。当某些逻辑组件由高电压源替换成低电压源时，所产生的时间延迟增加，但是只要不要超过 Time Constraint，那电路还是能够保证正常工作，且能达到节省功率的目的。

本论文将使用 Multi-Voltage (MV)、Power Gate

(PG)与 Voltage Domain Programmable (VDP)等三项技术设计 Video Decoder，我们使用这三个技术来降低电路的动态功率、静态功率消耗及进行功率管理。包含电路设计，CAD 设计流程及芯片可实做验证三个要项。在此设计中每个电源区块可调整使用 VddH 或 VddL，可分成四种状态，(VddL、VddL)、(VddL、VddH)、(VddH、VddL)及(VddH、VddH)。

VDP 的作法则经由评估系统使用状态给予不同的 Voltage Domain，整个核心技术包括电路设计(Level Shifter 及 Power Rail Switch)，CAD 技术的发展及设计流程整合与芯片验证。我们研究使用最大权重独立集为基础名 Voltage Domain Cluster (VDC)之算法，去实作一个融合了电压区域可规划方法，目的在能于不违反时序限制的情况下，将电路中的余裕时间做最大的利用，达到降低动态功率消耗及静态功率消耗。

利用 VDP 技术，我们可以根据不同的余裕时间来做线路切割。也就是当要求的时间愈慢(Low-Performance)，相对的就可以在电路中切割出使用更多的低电压源的逻辑闸。当我们设定时间要求变短时(High-Performance)，可以使用低电压源的逻辑闸就会较少，大部份的组件需要高电压源。借由 CLUSTVAR 算法，当在不同的要求时间之下，我们可以得到不同的切割结果，然后依据切割结果，设计出可以依不同的要求模式，来调整不同的电压源，以达到节省消耗功率，又能保有相同的工作效能。此种动态电压区块技术可调整电路之效能及功率消耗，如图 1。

我们知道如果相同的电路想使用在不同的效能之下，就要规划出不同的电压，对于设计者而言弹性就没有那么大，当使用在效能模式时，要一组电路；而使用低效能时，又要另一组电路，对于线路的设计，就变的非常的复杂。因此 VDP 便可依照设计者想要的效能，先给予线路切割成双电压源，比如说效能和低功率两种线路，然后利用这两种线路之间的组件电压变化，来做 Floorplan 的规划，得到最好的摆放方法；因为我们知道，对于组件的电压做改变的话，必须使用 PS (Power Switch)来做电压的切换，如果不考虑到面积问题的话，会造成每个组件都会需要两个 PS，这

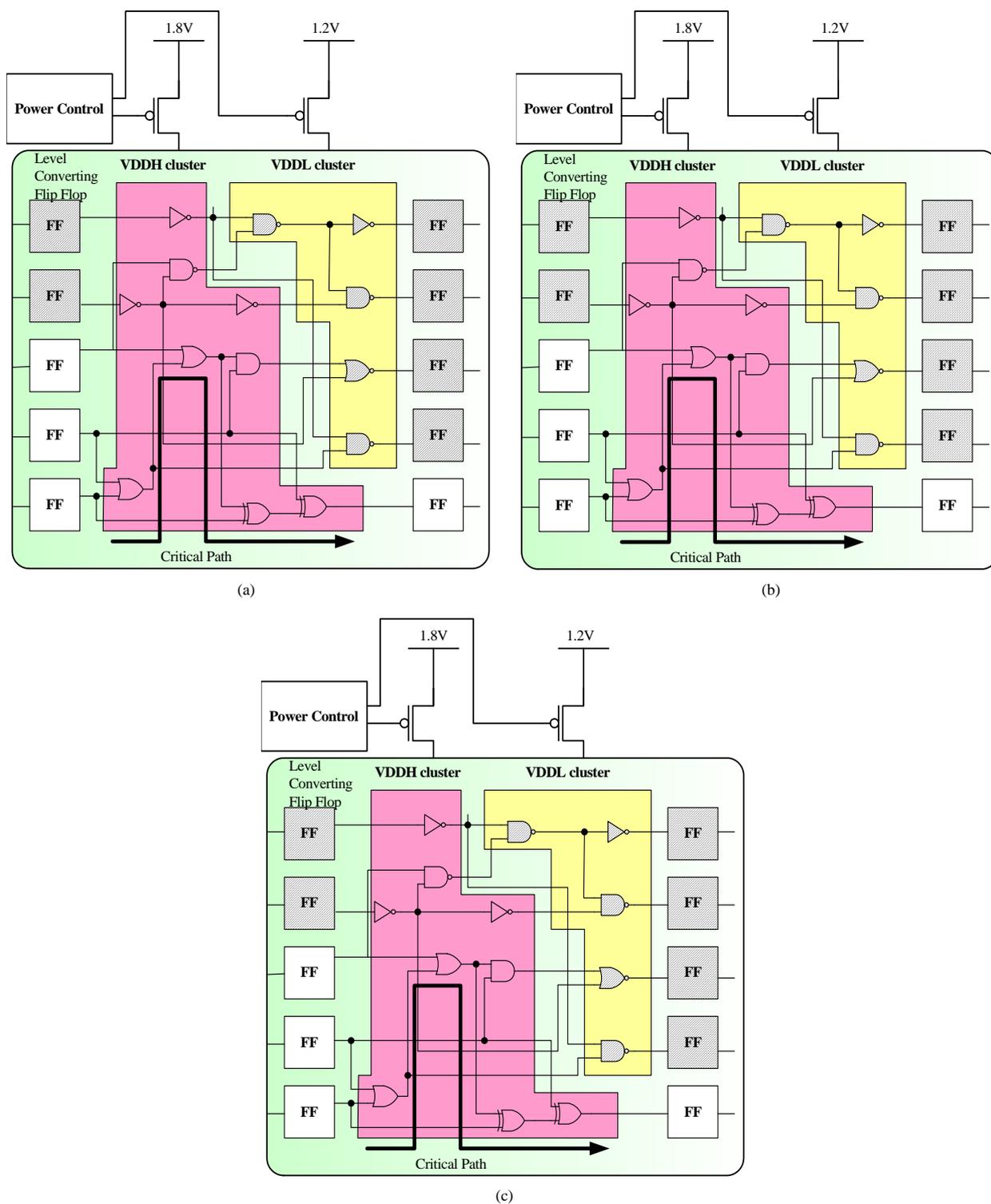


Figure 1. Voltage domain programmable concept; (a) Fast mode; (b) Normal mode; (c) Low power mode  
 图 1. 可规划式的电压区域规划示意图; (a) 高效能模式; (b) 一般模式; (c) 低功率模式

个结果并不是我们乐于见到的。所以我们会在 Floorplan 时，规划好相同电压的组件摆放一起，但也不是漫无目的进行集中，我们需要给予一个界定，做出有

效率的摆放。因此每一级部份与上、下一级有密切的扇入、扇出关系，由于各节点在考虑进行电压规划上皆需连同考虑插入电压准位转换器上所造成的影响，

这也是说每一节点在演算过程中需视扇入、扇出结点的情况来考虑是否插入电压准位转换器,倘若要插入的话所造成的影响程度为多少。因此在计算上便显得较为繁复。当然我还要还需要考虑到 LC (Level Converter)的问题<sup>[9,10]</sup>,如何将两种线路的 LC 做最好的结合,来降低芯片的面积和提高效能;再者,PS 的控制线路需要依照设计者要求来做电压控制,还有 PS 的摆放位置,这些都是我们在应用时,所要考虑到问题。最后,将所有的流程设计,利用自动化方式,应用在 SOC Encounter 上,便于使用者设计。最终期望是,实验结果依照我们给定的模式,运行之下能得到有效的降低消耗功率,并实作于 MPEG Variable Length Video Decoder (VLD)。值得注意的是,由于电路中使用供应的双电压源,在讯号上的传递需要注意电压接口之间的问题的处里。

## 2.2. CLUSTVAR 算法

首先我们参考论文[11]来进行电路切割,但是在此之前,我们需要考虑到一个现实这个电路真正的架构是否可以实现,CLUSTVAR 算法是应用于 sis 的程序之中用于处理组合电路,所以我们必须先对原始电路做处理。最简单的方法就是先对原始电路做分割,也就是将电路切割成两块:组合逻辑和 Flip-Flop,这样子我们就可以针对组合逻辑,使用 CLUSTVAR 算法来分割成适当的电路。我们会使用 Design Compiler 来做 Group 的动作,将线路中所有的 Flip-Flop 变成一个模块(Module),同样的组合电路也变成一个模块;然后再单独对组合电路套用至电路分割的 Flow 之中,也就是做高、低供应电压的分类,这样子就会产生出一组包含着高、低供应电压组件的电路。

因为我们要应用于可规划电压技术来改变效能,所以我们会利用 CLUSTVAR 程序来产生三种效能和消耗功率不同的电路结构。对消耗功率而言,效能模式所节省的消耗功率,必定会比省电模式较少;反之,效能模式的电路必定会比省电电路来得好。所以这个设计方法区分三种使用模式,效能模式、正常模式和省电模式来做。

## 2.3. 电路逻辑闸电压标号方法

根据 CLUSTVAR 所产生的三个不同效能电路,

对于本身电路而言,其功能都是相同的;所不一样者,是三种不同效能之下,电路中各组件所使用的操作电压源不同。举例来说:当操作在效能模式时,A 和 B 逻辑闸需要维持在高操作电压源,用来保持最高效能;当操作在正常模式时,A 逻辑闸则为高操作电压源,而 B 逻辑闸则为低操作电压源;同理,操作在低功率模式时,A 和 B 则同时维持在低操作电压源,用来节省消耗功率。所以当我们定出了所要求的效能,就可以产生出这三个不同效能的电路,如图 2 所示。

针对这三个不同效能的电路,来进行电压规划。我们给予一个参照表,依据这个参照表来为每个逻辑闸标号,参照如表 1。但是我们会忽略掉 Level Converter (LC),因为对于 LC 而言,它是一个同时具备有高、低操作电压源。这个标号同时也可以设定出,在不同模式下,应如何控制逻辑闸的操作电压。

## 2.4. Level Converter (LC)的设计架构

针对电路依照所需效能切割后,会产生 Low Voltage 的组件和 High Voltage 的组件,当低电压准位转换至高电压准位时,为了避免直流短路电流的发生,所以需要在电压准位转换的接口,加入 LC 组件。当考虑到整体的面积和效能,需要高速且面积小的 LC,以达到低电压准位和高电压准位之间的电压转换的目标,同时具备有 Buffer 的功能。例如当 Gate 和 Gate 之间不需要转换电压时,我们将 LC 转变成具有 Buffer 功能。

## 2.5. 可规划电压之电源开关(PS)设计

可规划电压之电源开关,决定各个标号的电压规划及整个电路设计的面积与 IR Drop 的影响。对于 PS 控制电路而言,如图 3、4 所示 PS 左右各为两条 Rail,分别代表着不同电压,经由四个 PMOS 来控制彼此间的相连,为了使 PS 正确控制,所以本芯片会在 PS 中加入一个反相器(Inverter),这个用意是为了让 PS 在切换电压时,可以让 Rail A 和 Rail B 之间不会产生短路,另一方面则是节省控制线,对于 Circuit Routing,

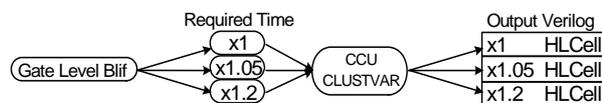


Figure 2. Three type designed circuit from clustering  
图 2. (CLUSTVAR 切割出三种不同效能电路)

Table 1. Logic state table  
表 1. 逻辑闸参照表

×1.0	×1.05	×1.2	Flag	
H	H	H	1	← ignore
H	H	L	2	
H	L	H	3	Flag File
H	L	L	4	
L	H	H	5	← ignore
L	H	L	6	
L	L	H	7	
L	L	L	8	

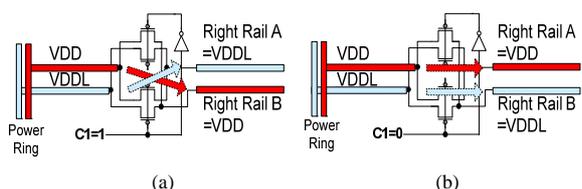


Figure 3. Right power switch  
图 3. 右边电压规划图

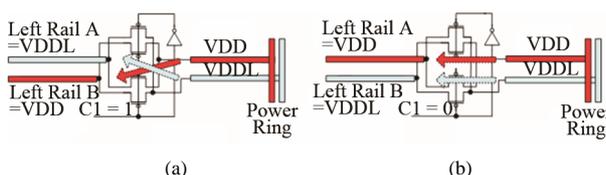


Figure 4. Left power switch  
图 4. 左边电压规划图

可节省不少的面积。

PS 相关的控制方法：Rail A 在 Layout 之中的图层是代表 Metal 3，而 Rail B 在 Layout 之中的图层是代表 Metal 1；借由控制信号 C1 来对左右两边的 Rail 做切换动作。如图 3 所示，当 Rail 的右边依照原来 Rail 接到 Power Ring 上的电压，所以 Rail A 和 Rail B 分别会接到 VDD 和 VDDL；当控制信号(C1)给予“1”时，就可以规划 Right Rail A 为 VDDL，Right Rail B 为 VDD；反之，当控制信号(C1)给予“0”时，可以规划 Right Rail A 为 VDD，Right Rail B 为 VDDL。Rail 左边依照原来 Rail 接到 Power Ring 上时，其作法也是相同，如图 4 所示。利用简单的 1bit 控制线路，来控制出可规划的操作电源，对于线路的复杂性是最少，在芯片实现上的绕线，会变的简单许多。在此，我们也将 PS 变成一标准组件库，以方便日后在芯片实作方便使用。

## 2.6. PS 控制信号之设定

PS 控制信号的给法，除了可以确实的规划出

Group 中的电压，另一方面也要避免短路发生。假设在同一条 Power Rail 上，会规划出 2 种不同标号 Group，因此 PS 的使用数量至少要 3 个(PS1~PS3)，然后在 PS1 的左侧和 PS3 的右侧，因为不进行电压的规划，也就是说在这两区中的组件，并不会随着模式的改变，而改变其操作电压，所以我们注明这些组件的操作电压是固定的。

我们会先进行判断每个 PS 左右两边的标号，以 PS1 而言左边为固定操作电压，右边为标号 3 的 Group，所以我们会依照表 1 给予 PS1 的控制信号，在三种不同模式下分别给予 010 的控制信号，如图 5 所示；同理 PS3 因为右边为固定操作电压，所以我们给予 100 的控制信号；当 PS 左右两边都有需电压规划的 Group 时，我们也可以利用 Exclusive or 的表达式，来得到信号的控制，所以 PS2 就会得到 110 的控制信号。

利用上面的做法，可以很简单的规划出，所有的 PS 的控制信号，而且可以用随机的方式，来求得每个 PS 的控制方法；这种做法，是为了避免掉两种不同操作电压的短路，也就是不管同一条 Power Rail 上有几个 PS，最终回到 Power Ring 或 Power Stripe 上时，电压需回归到正常的固定操作电压。

## 2.7. 逻辑闸标号之处理

我们所采用减少 PS 的数量，对于整体电路面积的降低，我们使用 Divide and Conquer 和 Bin Packing 的算法。前者是用来处理相同逻辑闸标号的集中；而后者算法是用来处理相同逻辑闸标号，使 SOC Encounter 之中的正确置放。

## 2.8. Group 重迭处理方法

逻辑闸标号之集中方法是将相同逻辑闸标号集

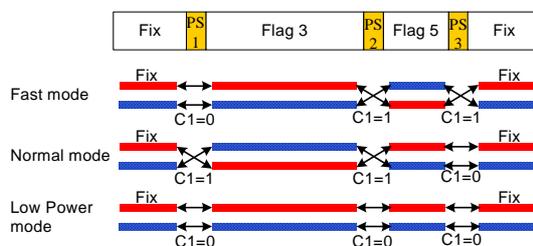


Figure 5. PS state diagram  
图 5. 信号控制示意图

中，这是为了降低 PS 的数量，如果能有效的降低 PS 的数量，那意味着芯片的面积将会随之缩小，又能达到电压规划的功能。这章节我们将会说明，如何使用 Divide and Conquer 的方法来做相同逻辑闸标号的集中。

首先我们会预先做一个动作，就是利用高效率的电路来做 Pre-Placement。根据高效率电路放置 Encounter 中，由 Encounter 来决定出依关键路径得到最佳化的预先摆放位置，也就是说如果依照这个 Placement 去做绕线，芯片完成的时后，所得到的效能也是最好的。为了规划组件的操作电压，需要增加 LC (Level Converter)、安插 PS 和控制 PS 的控制线路，所以在做最佳化的摆放之前，须要先预估出这些需增加的面积，一般我们以原先的面积在多预设 20% 左右。我们以 ISCAS'89 C432 (27-Channel Interrupt Controller) 为例子。

C432 在 Encounter 中 Pre-placement 如图 6(a) 所示。依照表 1 的参照，忽略标号 1 和 8 后，给予每个组件一个标号，所以我们可以看出每除了标号 1 和 8 之外，每种标号的分布图(图 6(b))。为了节省 PS 的数量，所以我们会针对标号的分布图，来进行相同标号的集中，所以我们使用了 Divide and Conquer 的算法来实行这个技术。

经由以上组件标号与集中的算法，然后透过 Encounter 重新 Placement 之后，我们可以得到如图 7 所示。从 Floorplan View 中，在每个 Group 左右边缘都会插入 PS；依照所属 Group 的标号，用来规划 Group 的操作电压，如果相邻的距离过近或是重叠时，也会合并使用同一个 PS，这样子就可以减少芯片的面积。同时我们也设定相同标号的组件，可以完全的集中至所属的 Group 之中，所以可以看到原本如图 7(b)，分散到各处的不同标号组件，经由算法之后，已经可以集中在同一个 Group 之间，同时也会给予 PS 的控制

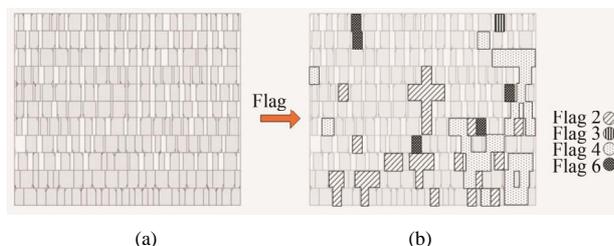


Figure 6. Assign the type number to all Logic Cells  
图 6. 组件的标号

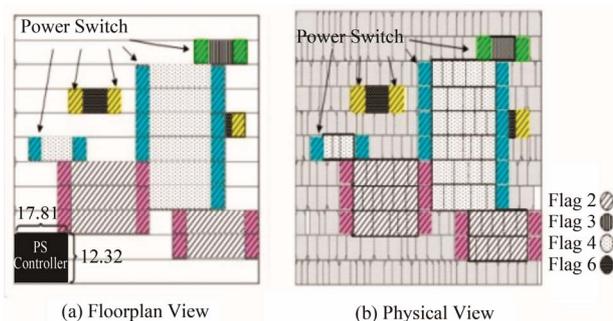


Figure 7. Cluster the same voltage gates  
图 7. 元件 correction (相同标号元件集中后呈现图)

信号，用来控制不同 Group 的电压。完成之后电路，也已经包含了 PS 的控制模块，因为我们使用标准零件库，所以就让 Encounter 自动 Placement，找寻适合的位置就好了。在此，我们先用手动排列，然后用来跟整体的面积做比较，大约占 4%；但是当电路愈大时，PS 的控制模块的面积并不会跟着变大，所以相对于整个电路面积而言，PS 的控制模块所占的面积将会非常的小。

### 3. 设计流程

本节的设计流程，将会以 SOC Encounter 为主，为了达成自动化的设计，所以我们会以 Encounter 的 Command[12]为主要说明。在执行自动化流程之前，我们需要先准备好，设计者已切割完成的三种不同效率电路。本芯片使用 CLUSTVAR 算法，来做切割电路程序，其流程图如图 8 所示。

将 RTL Code 经由 Synopsys 合成之后，可以得到 Gate Level Netlist，而这个 Netlist 将会以 Verilog 语法所呈现；因为 CLUSTVAR 程序是架构在 SIS 平台上，所以要利用 V2BLIF 的程序，将 Verilog 语法转换成 BLIF 格式；再来将 BLIF 档案经由 CLUSTVAR 分割成具有低功率双电压源的 BLIF 档案，一般应用于 SOC Encounter 之中是 Verilog 语法的程序，所以我要需要借助 BLIF2V 的程序，将 BLIF 转换成 Verilog 语法，以便于 Encounter 的读取。当由 Synopsys 优化产生出来的 Gate Level 档案，其中包含了电路的时序，依照要求时间(Required Time)的设定，可以设定出三种不同效能的电路，然后利用这三种不同效能的电路，经由 CLUSTVAR 算法切割，就可以产生出三种不同效能，同时又包含着高、低操作电压的电路。切割好三种不同效能的电路之后，我们就可以利用 SOC

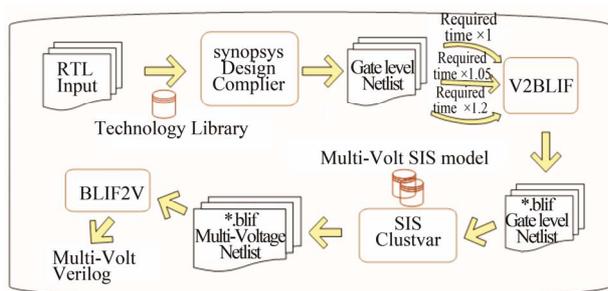


Figure 8. The VDP circuit front-end design flow  
图 8. VDP 电路前端设计流程图

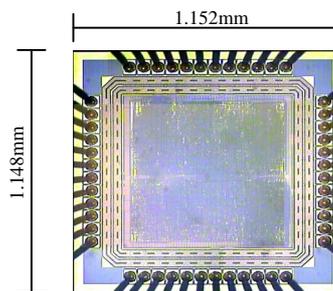
Encounter 来完成自动化的流程。

#### 4. 芯片规格

图 9 为验证设计的芯片照相与规格。为了评估使用双电压源及规画组件供应的操作电压的方式，我们分别对三种模式的效能及消耗功率做量测。功率的计算则是将个别电流值乘上其相对应电压后，取其和。由图 10 可见本芯片的三种模式下电路的最高工作频率分别为，效能模式：19 MHz，一般模式：16.5 MHz，及低功率模式：11.5 MHz，平均功率量测分别为，效能模式：6.69270 mW，一般模式：6.33096 mW，及低功率模式：5.99856 mW，所以双电压源的规划方式确实可有效降低功率消耗。综合比较可之，本芯片效能模式较一般模式增加 15% 的效能，但也增加 5.71% 的功率消耗，及低功率模式较一般模式 30% 的效能损失，但节省 5.25% 的功率。当结合降电压的机制，将高电压源的电压由 1.8 V 降至 1.75 V，对于双电源芯片的功率节省可成功区分出效能与功率的 Tradeoff 的特性。效能调节最大范围为 65% 的差异，功率调节最大范围则为 14% 的差异，可知使用这个方法可有效使用于 Performance-Power Tradeoff 的应用需求。

#### 5. 结论

为了维持芯片在相同的效能下工作，又要节省消耗功率，我们使用多电压源的设计作法。使用多电压源的芯片设计方法就是在关键路径(Critical Path)上的组件使用高电压，而非关键路径(Non-Critical Path)上的组件则使用低电压源。我们采用可规划电压的电路设计方法，使用双电源的方式设计芯片，对于双电压源上的组件分布，还有组件如何给定不同的电压，及低准位和高准位输出之间的转换等均予考虑。并做适



Process	TSMC 1P6M 0.18 um
VDD/VDDL	1.8 V/1.2 V
Chip area	1.152 × 1.148 mm <sup>2</sup>
Transistor count	9,5138
Max. Frequency	50 MHz
Max. Power	Perform: 6.69 mW
	Normal: 6.33 mW
	Low power: 5.99 mW

Figure 9. Chip's specification  
图 9. 芯片照相与规格表

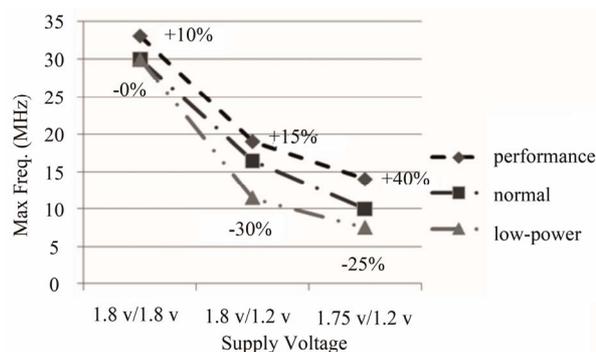


Figure 10. The highest frequency for the fixed voltage  
图 10. 固定电压下可工作之最高频率

当的摆放来减少面积增加的问题，控制这些组件的电压，并将此双电源设计在 MPEG VLD 的芯片，成功的实现依效能与功率消耗区分为三段的调节模式：快速、正常与省电，芯片成功实证此方法除可降低功率外，并可有效用于功率管理，功率节省范围可达 65%。

#### 参考文献 (References)

- [1] T. D. Burd, T. A. Pering, A. J. Stratakos and R. W. Brodersen. A dynamic voltage scaled microprocessor system. IEEE Journal of Solid-State Circuits, 2002, 35(11):1571-1580.
- [2] R. Blanco, J. M. Cohn, D. W. Stout and S. T. Ventrone. Method of switching voltage islands in integrated circuits. Patent Application Publication, US 2006/0190744 A1.
- [3] R. Puri, D. Kung and L. Stok. Minimizing power with flexible voltage islands. IEEE International Symposium on Circuits and Systems, 23-26 May 2005, 1: 21-24.

- [4] B. H. Calhoun, A. P. Chandrakasan. Ultra-dynamic voltage scaling (UDVS) using sub-threshold operation and local voltage dithering. *IEEE Journal of Solid-State Circuits*, 2006, 41(1): 238-245.
- [5] J. Luo, N. Jha. Static and dynamic variable voltage scheduling algorithmus for real-time heterogeneous distributed embedded systems. *IEEE Proceedings of the 15th International Conference on VLSI Design*, Bangalore, 2002: 719-726.
- [6] K. Usami, et al. Clustered voltage scaling technique for low-power design. *Proceedings of the 1995 International Symposium on Low Power Design (ISLPD'95)*, Dana Point, 23-26 April 1995: 3-8.
- [7] K. Usami, et al. Automated low power technique exploiting multiple supply voltages Applied to a Media Processor. *Proceedings of the Custom Integrated Circuits Conference*, Santa Clara, 5-8 May 1997: 131-134.
- [8] T. S. Jau. Single-inductor multiple-output DC-DC converters for STV-CMOS. Master's Thesis, 中正大学, 2004.
- [9] S. H. Kulkarni, D. Sylvester. High performance level conversion for dual VDD design. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2004, 12(9): 926-936.
- [10] S. A. Tawfik, V. Kursun. Multi-V<sub>th</sub> level conversion circuits for Multi-VDD systems. *IEEE International Symposium on Circuits and Systems*, New Orleans, 27-30 May 2007: 1397-1400.
- [11] J.-W. Lin, C.-W. Dr. Yeh. Cluster-inclined supply and threshold voltage scaling with gate re-sizing. Master's Thesis, 中正大学, 1994.
- [12] Encounter® Text Command Reference, Produce Version 6.2, Cadence.