

# Design of High-Speed Driving Board for Integrated Circuit of Burn-In Test System

Rong Zeng\*, Fuhong Zhang, Jinfu Lou

School of Communication Engineering, Hangzhou Dianzi University, Hangzhou  
Email: [1404769719@qq.com](mailto:1404769719@qq.com)

Received: Oct. 29<sup>th</sup>, 2014; revised: Nov. 13<sup>th</sup>, 2014; accepted: Nov. 29<sup>th</sup>, 2014

Copyright © 2014 by authors and Hans Publishers Inc.  
This work is licensed under the Creative Commons Attribution International License (CC BY).  
<http://creativecommons.org/licenses/by/4.0/>



Open Access

---

## Abstract

With the rapid development of production technology for large-scale integrated circuits, applications of multi-pin package chip, large capacity memory and large scale of embedded microprocessor are more and more widely used [1]. Domestic integrated circuit of dynamic burn-in system has been unable to meet the demand. In this paper, taking advantages of FPGA/CPLD high integration, flexible design, etc., it designs and implements high-speed driving board system applied in a new generation of dynamic burn-in system. The system takes the EPM570T144I5N of MAXII series chip in Altera Company as the core. Through the verification of FPGA/CPLD hardware platform, each module of the system works normally and can meet the requirements of driving ability.

## Keywords

Integrated Circuit, Dynamic Burn-In, Driving Board, FPGA

---

# 集成电路动态老化测试系统中高速驱动板设计

曾 榕\*, 张福洪, 楼津甫

杭州电子科技大学通信工程学院, 杭州  
Email: [1404769719@qq.com](mailto:1404769719@qq.com)

收稿日期: 2014年10月29日; 修回日期: 2014年11月13日; 录用日期: 2014年11月29日

---

\*通讯作者。

## 摘要

随着大规模集成电路生产技术的迅猛发展，多引脚封装的芯片、大容量的存储器及大规模嵌入式微处理器的广泛应用，国内现有的集成电路动态老化测试系统已不能满足需求[1]。该文针对FPGA/CPLD集成度高、设计灵活等优点，设计并实现了一种应用于新一代动态老化系统的高速驱动板系统。该系统以Altera公司的MAXII系列CPLD芯片EPM570T144I5N为核心。通过FPGA/CPLD软硬件平台验证，该系统各个模块均工作正常，并能满足驱动能力的需求。

## 关键词

集成电路，动态老化，驱动板，现场可编程逻辑门阵列

## 1. 引言

集成电路的动态老化理论上要求电路在其最高温度工作条件下完全模拟实际工作状态，电路内部的逻辑单元都有机会得到翻转，对于一般数字集成电路都需要外部提供功能测试信号来驱动电路工作。而动态老化又被分为动态激励老化和功能性老化。动态激励老化由不同频率的时钟信号对被测器件进行动态激励，功能性老化是模拟使用状态对被测器件施加信号。本系统采用功能性老化，其典型的表现形式为老化中测试 TDBI (Test During Burn-in)，它是指将老化与电性能测试有效结合在一起的方法[2]。此外，本文主要设计了一种基于 IR2010S 驱动芯片的新型驱动电路，并通过相关软件验证了该电路的优越性。该系统主要包括 SPI 接口、驱动模块、电平转换，测试信号回检等功能的实现。

## 2. 驱动板系统总体设计框图

本文所设计的驱动板系统体系总体框图如下图 1 所示。

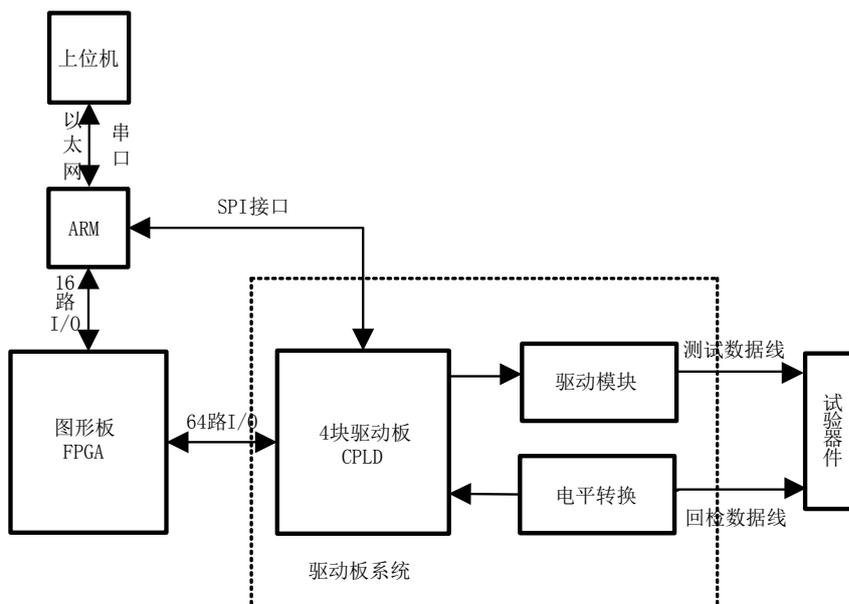


Figure 1. System design diagram

图 1. 系统总体设计框图

嵌入式系统 ARM 是整个老化测试系统中的核心部分,负责在对试验器件(DUT)进行老化工作之前,向 FPGA 传送老化工作过程中所需参数(指令、I/O 配置参数,波形数据等)。ARM 与驱动板之间采用的是 SPI 通信接口,驱动板将根据所接受的指令配置相对应的 I/O 口(测试数据线与回检数据线),进而为后续波形数据回检做好充分准备[3]。

图形板主要负责接收嵌入式系统提供的 16 位数据。根据指令模式的不同 16 路数据具有不同的功能含义,通过 FPGA 最多可以产生 64 路数字信号,经过驱动板进行相应处理,再通过金手指加载到试验器件中。在该系统中共有四块驱动板,每一块驱动板负责对 16 路数字波形信号进行处理,最多可同时驱动 64 路数字信号。经驱动板上 CPLD 处理后的数字信号再通过电流电压驱动电路进行电流驱动和电压放大。

数字信号波形回检采用上位机观察。回检信号经过电平转换后再回传给驱动板 CPLD 与图形板 FPGA,然后由图形板传给 ARM,最终在上位机进行器件失效率情况的分析处理。

### 3. 驱动板内部模块的功能介绍与设计

#### 3.1. SPI 通信接口模块

串行外设接口(Serial Peripheral Interface, SPI)总线是 Motorola 公司提出的一种同步串行外设接口协议,包括主机/从机 2 种模式,它可以使 MCU 与各种外围设备以串行方式进行通信以交换信息[4]。驱动板与 ARM 之间就使用该通信接口,信号时序如图 2 所示。

在此通信接口中,ARM 为主设备,驱动板为从设备,包括 MOSI、MISO、CLK、SSEL 四路信号线,其中 SSEL 为片选信号,低电平有效,持续一帧数据;MOSI 为主机输出,从机输入数据总线;MISO 为主机输入,从机输出数据总线;CLK 是由主设备产生的数据采样时钟信号,上升沿有效。老化参数配置过程中,ARM 通过 3-8 译码器选中四块驱动板中的一块,并且通过 SPI 接口向驱动板发送 16 路 I/O 口状态,总共完成 64 路 I/O 口状态配置。

#### 3.2. 驱动模块

驱动模块是整个驱动板系统中的核心部分。为了满足测试信号输出电压范围为 0~18 V 的技术指标,这就需要驱动电路对测试信号进行电流驱动和电压放大。本测试系统中,任意一路测试信号线 CH1 经驱动板 CPLD 处理后输出两路控制信号(CH01A, CHO1B),通过这组控制信号的高低电平变化来控制驱动电路的最终输出 CHO1 [5],其中控制信号 CHO1A 与测试信号 CH1 同频同相,而 CHO1B 与 CH1 同频反相。

为了将控制信号 3.3 V 的 TTL 电平转换成 MOS 管标准电平,传统的驱动电路原理图如图 3 所示。上图中采用 TI 公司生产的 74LS07 作为驱动芯片,该芯片是集电极开路输出的六缓冲器/驱动器。此外,为了保证输出端与输入端是同相位,输出端需要通过上拉电阻外接到正电压上。此电路主要有两个不足:第一,当 74LS07 输出 18 V 驱动电压时大约只有 30 mA 的驱动电流,这将大大延长 MOS 管的冲放电时间和提高开关损耗,进而提高开关损耗;第二,当 CHO1A 为高电平,CHO1B 为低电平时,MOS 管 Q3 导通,MOS 管 Q2 截止,CHO1 为高电平,由于 MOS 管内部的电压降,驱动电路输出电压 CHO1 与  $V_{drv}$  之间存在 1.5 V 左右的损耗电压  $V_s$ ,这不满足驱动电压指标的需求。

为了实现高速驱动系统的功能,针对传统驱动电路中的不足,本文提出并设计了一种新型的高速驱动电路,具体的电路设计原理图如图 4 所示。与传统的驱动电路相比,上图用 IR2010S 驱动芯片取代 74LS07 芯片。IR2010S 是由国际整流器公司(International Rectifier)生产的一款高电压,高速功率的 MOSSET/IGBT 驱动器。同时,IR 的芯片具有自举功能,可以驱动 H 桥高端的 MOSFET 而不需要隔离电路。本文所设计的驱动电路克服了传统驱动电路的不足。首先,IR 芯片输出 18 V 驱动电压时大约

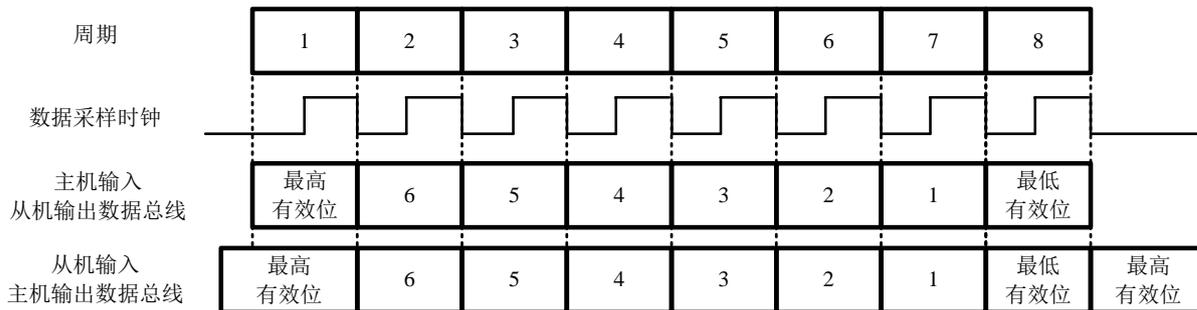


Figure 2. Signal timing diagram of SPI  
图 2. SPI 信号时序图

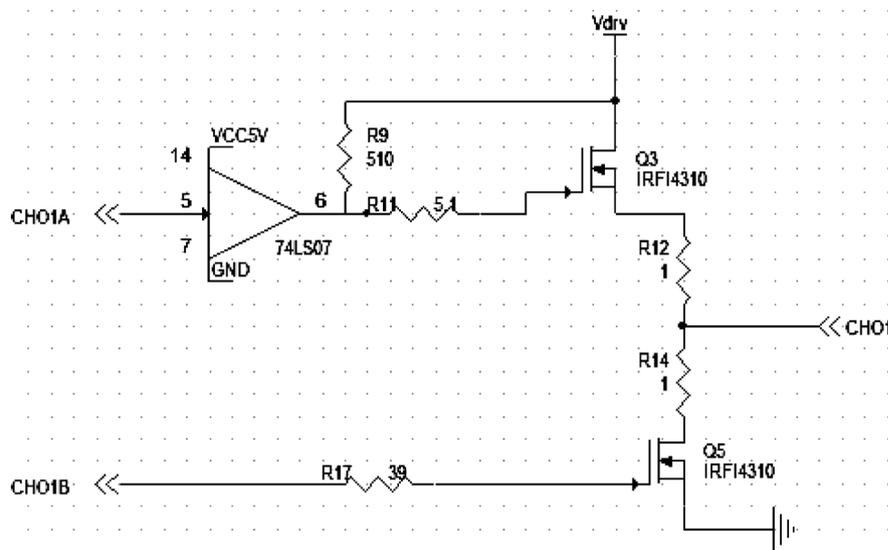


Figure 3. Schematic diagram of traditional driving circuit  
图 3. 传统的驱动电路原理图

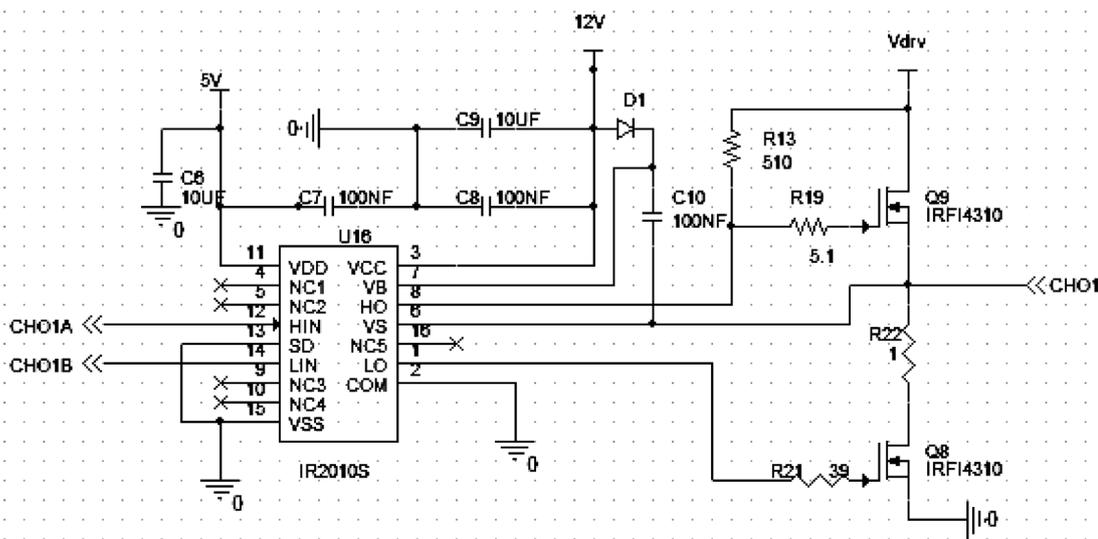


Figure 4. Schematic diagram of driving circuit designed in this paper  
图 4. 本文所设计的驱动电路原理图

有 480 mA 的驱动电流，可以保证 MOSFET 快速的开通，降低 MOSFET 的开关损耗；其次，驱动电路输出电压 CHO1 与  $V_{drv}$  之间的损耗电压  $V_S$  约为 0.05 V，能很好地满足驱动电压的需求。

## 4. 验证与仿真

### 4.1. SPI 通信接口模块

本模块采用 Altera 公司 MAXII 系列的 EPM570T144I5N 芯片，使用 verilog HDL 语言和 Quartus 9.1 开发环境进行功能实现。使用嵌入式逻辑分析仪 SignalTapII 抓实际电路信号的时序如图 5 所示。ARM 传送过来的配置数据 MOSI 用二进制可表示为 0000\_0011\_1111\_0000，而该模块最终输出 en\_r 的值用十六进制表示为 03F0。

### 4.2. 驱动模块

为了验证本文所提出的驱动电路性能优于传统电路，采用 Cadence16.3 的 PSpice AD 软件进行模拟电路功能仿真。在仿真电路图中，控制信号 CH01A 与 CH01B 为相同频率，相位相反的方波信号，并将 100 欧姆电阻和 1000 皮法电容并联后作为输出端 CH01 的负载。根据控制信号频率  $F$  与驱动电压  $V_{drv}$  的取值不同，驱动电路的输出电压 CHO1 如图 4 所示。

在图 6 中，定义  $V_{max}$  为最大峰值电压， $V_{max}$  与  $V_{drv}$  之间的差值为损耗电压  $V_S$ ， $t_1$  为上升沿(充电)所需时间， $t_2$  为下降沿(放电)所需时间。由上图可以看出，与传统驱动电路相比，本文所设计的驱动电路中的损耗电压  $V_S$  降低了 1.4 V 左右，进而反映驱动电路性能高；此外，由于传统驱动电路中 MOSFET

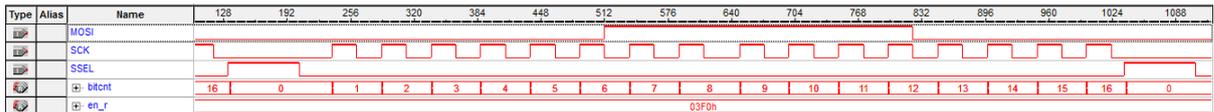
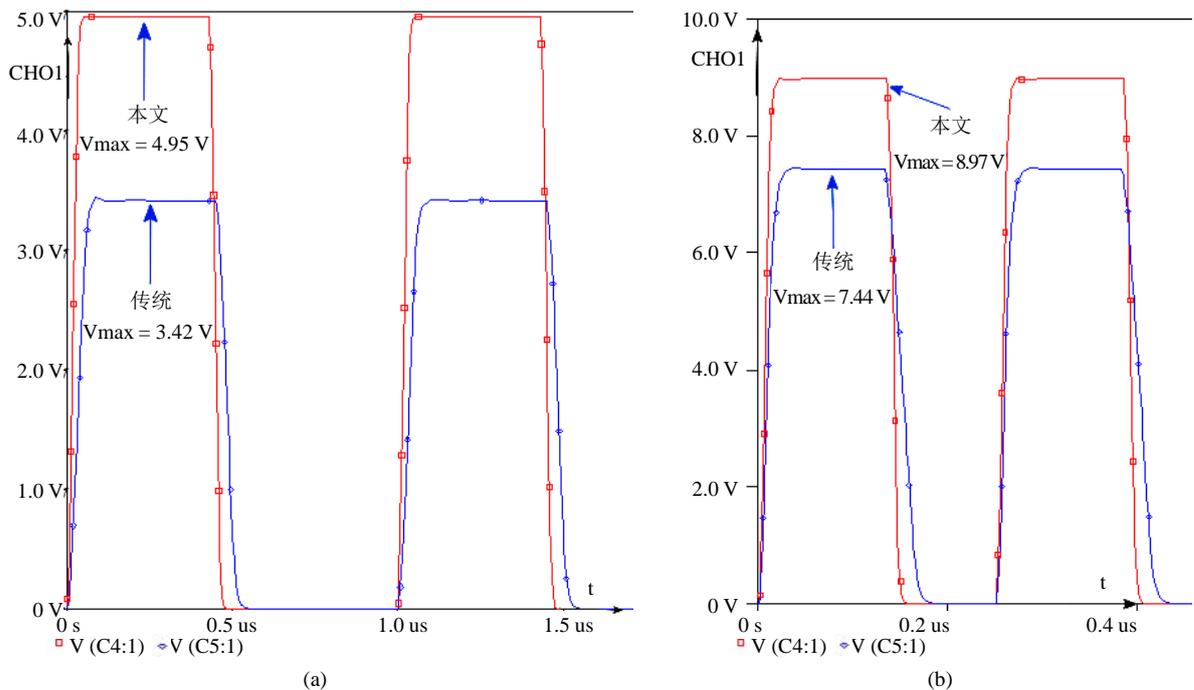


Figure 5. Timing diagram of SPI module

图 5. SPI 模块时序图



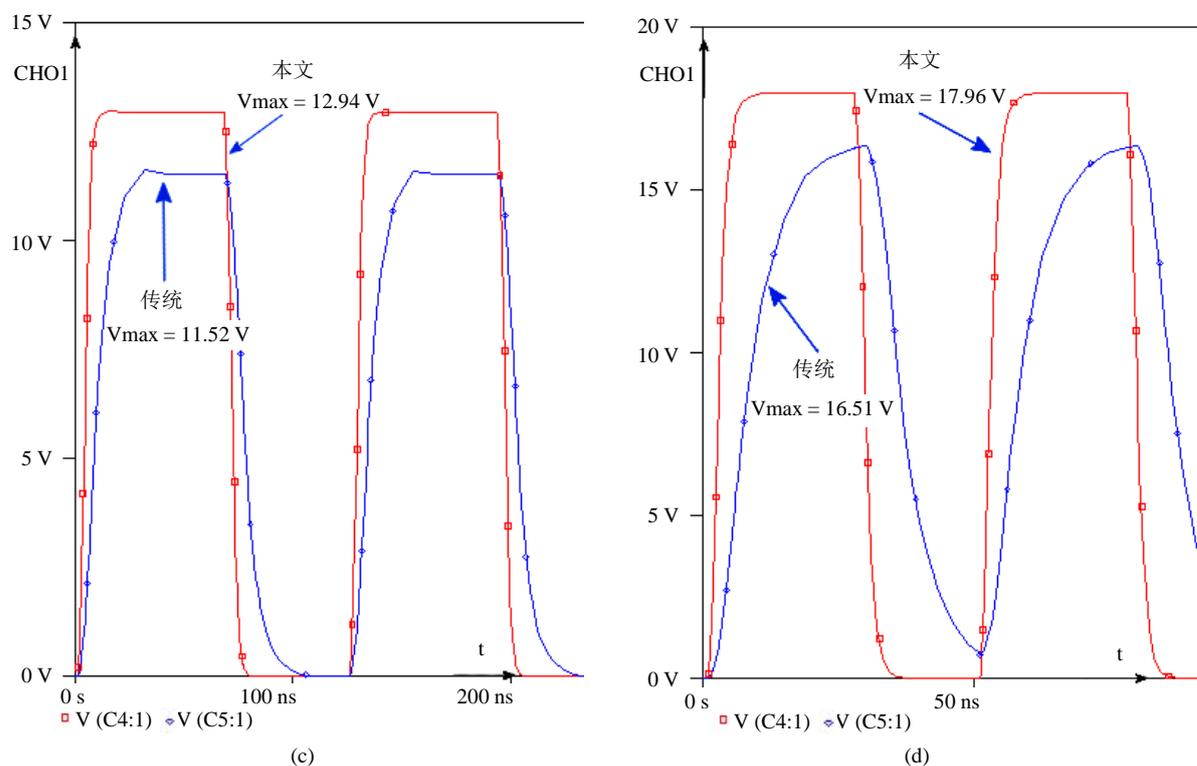


Figure 6. Output voltage CHO1 of driving circuit (a)  $F = 1 \text{ MHz}$ ,  $V_{\text{drv}} = 5 \text{ V}$ ; (b)  $F = 4 \text{ MHz}$ ,  $V_{\text{drv}} = 9 \text{ V}$ ; (c)  $F = 8 \text{ MHz}$ ,  $V_{\text{drv}} = 13 \text{ V}$ ; (d)  $F = 20 \text{ MHz}$ ,  $V_{\text{drv}} = 18 \text{ V}$

图 6. 驱动电路输出电压 CHO1。(a)  $F = 1 \text{ MHz}$ ,  $V_{\text{drv}} = 5 \text{ V}$ ; (b)  $F = 4 \text{ MHz}$ ,  $V_{\text{drv}} = 9 \text{ V}$ ; (c)  $F = 8 \text{ MHz}$ ,  $V_{\text{drv}} = 13 \text{ V}$ ; (d)  $F = 20 \text{ MHz}$ ,  $V_{\text{drv}} = 18 \text{ V}$

的充电/放电电流过小,  $t_1$  与  $t_2$  的值随着控制信号频率  $F$  的增大而增大, 这也间接反映出 MOS 管正常工作状态下开关切换的速率越慢, 当  $F = 20 \text{ MHz}$  时, 传统驱动电路的输出波形已不能满足要求, 而本文所设计的驱动电路输出波形仍能够满足相应频率的方波特性。综上所述, 可以得出本文所设计的驱动电路性能优于传统驱动电路性能结论。

## 5. 结束语

在本文设计的高速驱动板系统中, 涉及到 SPI 通信接口设计、驱动电路设计、Verilog HDL 编程、嵌入式逻辑分析仪 Signal TapII 与 PSpice 软件的使用等。经软件与硬件电路验证, 基于本文所设计的驱动电路的驱动板能很好地完成对测试信号驱动的任务, 并且应用效果良好, 完全能够满足大多数用户对集成电路高温老化系统的要求。

## 参考文献 (References)

- [1] 冉立新 (2003) 大规模集成电路高温动态老化测试嵌入式图形发生系统的可编程 ASIC 实现. *仪器仪表学报*, **24**, 27-27.
- [2] 温平平, 焦慧芳, 贾新章等 (2004) VLSI 老化筛选试验技术的挑战. *电子产品可靠性与环境试验*, **5**, 22-23.
- [3] 马进峰, 张福洪, 石学诚 (2013) 集成电路高温动态老化系统硬件研制. *电子制作*, **11**, 226-226.
- [4] 贾伟, 邵左文, 张玉猛等 (2007) 基于 SPI 总线的高速串行数据采集系统设计. *研发与开发*, **4**, 37-37.
- [5] 石学诚 (2014) 新型存储器老化测试系统的实现. 杭州电子科技大学, 杭州, 32-35.