

Simulation of Memory Characteristics of Metal Nanocrystals

Bei Wang, Peihong Cheng, Shihua Huang*

Department of Physics, Zhejiang Normal University, Jinhua

Email: huangshihua@zjnu.cn

Received: Oct. 9th, 2011; revised: Nov. 7th, 2011; accepted: Nov. 8th, 2011.

Abstract: Using a transient electrical model, the charging, discharging and retentive processes in a metal nanocrystal (NC) memory were simulated. In this model, the impact of Si surface potential, Coulomb blockade effect, quantum confinement effect and thermal activation were taken into account. The NC memory with larger size can be programmed faster and has the longer retention time. The retention time increases with the increase of nanocrystal size or tunneling dielectric thickness. The program time and erase time decrease with the increase of the gate voltage or the decrease of tunneling dielectric thickness. For different metal materials, the retention time, program speed and erase speed of metal NC memory are not the same. For Pt, Au, Ni and Al, the retention time of Pt NC is the largest, and the program speed and erase speed of Al NC is the fastest.

Keywords: Metal Nanocrystal Memory; Quantum Confine Effect; Coulomb Blockade Effect; Si Surface Potential; Thermal Activation

金属纳米晶存储器存储特性的模拟

王 蓓, 程佩红, 黄仕华*

浙江师范大学物理系, 金华

Email: huangshihua@zjnu.cn

收稿日期: 2011年10月9日; 修回日期: 2011年11月7日; 录用日期: 2011年11月8日

摘要: 采用一个简单的电学瞬态模型, 在理论上模拟 Pt、Au、Ni、Al 金属纳米晶器件的数据保持、读入和擦除过程。在这个模型中, 考虑量子限制效应、库仑阻塞效应、Si 衬底表面势以及热激发效应的影响。随着纳米晶直径的增大, 隧穿氧化层厚度的增大, 保持时间会增大。反之随着栅极电压的增大, 隧穿氧化层厚度的减小, 读入时间和擦除时间都会减小。在擦除过程中, 当外加的反向偏压的绝对值减少到一定值的时候, 擦除时间会急剧增大, 这是因为需要通过热激发参与才能完成隧穿。对于不同的金属材料, 由于它们的功函数不同, 保持能力、读入速度和擦除速度相差较大。Pt 纳米晶存储器的数据保持能力最强, 而 Al 纳米晶存储器的读入速度和擦除速度较快。

关键词: 金属纳米晶存储器; 量子限制效应; 库仑阻塞效应; Si 衬底表面势; 热激发

1. 引言

非挥发性存储器件是一种重要的存储器件, 浮栅结构是目前最普遍的非挥发存储器的器件结构, 但是随着集成电路中器件尺寸的不断缩小, 这种结构存在的主要局限性在于: 一方面, 隧穿氧化层必须很薄, 才能形成快速、有效的电荷传输通道, 以满足高速的

写入(P/E)和擦除操作要求。另一方面, 如此薄的隧穿氧化层, 浮栅中的电荷更容易回到沟道中而造成存储器的数据保持能力的退化, 同时在反复的 P/E 操作循环过程中产生大量的陷阱或缺陷, 从而造成压感漏电流的增加。因此, 出于折衷考虑, 传统浮栅存储器中隧穿氧化层的厚度一般为 8 nm~11 nm^[1]。另外,

传统 Flash 存储器是采用多晶 Si 薄膜浮栅结构的 Si 基非挥发存储器, 电荷被存储于连续的浮栅多晶 Si 层中并可以自由移动, 因此, 在隧穿氧化层中只要有少量的缺陷, 就极有可能产生漏电通道, 从而导致整个器件失效。解决常规浮栅器件在尺寸缩小方面的局限性以及可靠性的问题, 主要有两种方法: 一是采用高介电常数(高 K)介质替代 SiO₂ 隧穿氧化层和控制氧化层; 二是采用分布式离散电荷存储代替连续浮栅存储, 即采用包含很多离散电荷存储区域的薄膜来替代连续浮栅。

Sandip Tiwari 在 1995 年首先提出并制备了 Si 纳米晶体非挥发性存储器, 电荷储存在非连续的、相互隔离的纳米晶粒中, 每个纳米晶粒只储存少量的电荷, 在整个纳米晶粒中存储的所有电荷共同控制着沟道^[2]。但随后的研究表明^[3], 半导体纳米晶存储器依然存在一些问题有待解决。由于量子限制效应, 相对于块状材料, 半导体纳米晶能带隙会变宽, 从而减小了有效的势阱深度, 影响了数据保持时间。其次, 因为半导体纳米晶存储器的数据保持能力的提高主要是利用纳米晶表面或内部存在电荷陷阱或缺陷, 而这些陷阱或缺陷对后续退火工艺非常敏感, 严重影响器件的工艺稳定性。Z. T. Liu 于 2002 年发现, 利用金属纳米晶存储器(MNCM)可有效地克服上述半导体纳米晶存储器存在的问题^[4], 主要因为: 在费米能级附近具有更高的态密度、与沟道具有更好的耦合作用、功函数可调, 以及由于载流子局域而微扰较小, 可以得到更小尺寸的纳米晶颗粒、较强的电荷保持性能、低压 P/E 操作^[4,5]。当集成电路生产工艺节点进入 50 nm 以下, MNCM 是被业界认为一种最可能取代传统浮栅结构的非挥发性存储器件。

尽管 MNCM 的存储特性在实验研究已经很多报道^[6,7], 但是从理论上研究的还是比较少。在以前的理论研究中, 金属纳米晶的量子限制效应和库仑阻塞效应通常被考虑, 但是 Si 衬底的表面势和载流子的热激发通常是被忽略^[8-11]。事实上, 由于在 MNCM 的充放电过程中, Si 衬底的能带弯曲是不同的, 所以表面势对隧穿氧化层的电压降有很大的影响。因此, 为了精确地计算充放电过程中的隧穿电流密度, Si 衬底的表面势应该被考虑。为了把透射系数转换成载流子的实际隧穿电流, 在势垒的另一边必须有可以被电子或空

穴占据的量子态。对于能量低于 Si 衬底的禁带宽度的电子或空穴而言, 直接隧穿是不允许的, 这些电子或空穴必须通过热激发到高于 Si 衬底的禁带宽度的相应的可以被占据的量子态, 然后隧穿到 Si 衬底, 这个热激发过程将减少隧穿电流。

本文在考虑了量子限制效应、库仑阻塞效应、Si 衬底表面势和热激发的情况下, 提出了一个简单的瞬态电学模型, 从理论上模拟了 Pt、Au、Ni、Al 四种 MNCM 的存储特性。充放电、写入/擦除时间和电荷保持时间等进行了计算, 分析影响金属纳米晶的数据保持能力、读入时间和擦除时间的主要因素, 最后总结出提高金属纳米晶存储特性的方法。

2. 理论模型

2.1. 量子限制效应和库仑阻塞效应的影响

对于金属纳米晶, 量子限制效应使得电子所占据的能级发生分裂, 量子限制效应会导致金属纳米晶费米能级增加, 增加值 ΔE_F 为:

$$\Delta E_F = \frac{4E_F}{3N} \quad (1)$$

式中, E_F 为块状金属的费米能级, N 是金属纳米晶中自由电子的总数:

$$N = \int_0^{E_F} N(E) dE \quad (2)$$

自由电子能态密度 $N(E)$ 可表述为:

$$N(E) = 4\pi V \left(\frac{2m^*}{h^2} \right)^{3/2} E^{1/2} \quad (3)$$

其中 V 为金属纳米晶的体积, E 为电子所处能级, m^* 近似为自有电子质量。如果把金属纳米晶看作球形, 则 ΔE_F 与金属纳米晶直径 d_{nc} 之间的关系如下:

$$\Delta E_F = \frac{3}{\pi^2} \left(\frac{h^2}{2m^*} \right)^{2/3} d_{nc}^{-3} E_F^{-1/2} \quad (4)$$

对于金属纳米晶, 当电子或空穴注入纳米晶颗粒之后, 会在纳米晶表面形成电场, 阻止后续电子或空穴的注入, 从而提高了金属纳米晶的费米能级, 这一现象被称为库仑阻塞效应。金属纳米晶中每注入一个电子或空穴, 引起电化势的增加值 $\Delta\mu$ 可由下式计算:

$$\Delta\mu = q^2/C \quad (5)$$

式中 q 为单位电荷, C 为金属纳米晶自身的电容量:

$$C = 2\pi\epsilon_{ox}d_{nc} \quad (6)$$

而 ϵ_{ox} 为金属纳米晶颗粒所处氧化层的介电常数。

当金属纳米晶的尺寸减小到纳米尺度时, 量子限制效应和库仑阻塞效应都是造成金属纳米晶器件隧穿势垒减小的重要因素, 它们对器件数据的擦除和保持能力的影响是不能忽略的。金属纳米晶与隧穿氧化层之间的势垒 ϕ_b 为

$$\phi_b = \phi_{b0} - (N \times \Delta\mu + \Delta E_F) \quad (7)$$

式中 ϕ_{b0} 为不考虑量子限制效应和库仑阻塞效应时金属纳米晶与隧穿氧化层之间的势垒。

2.2. Si 衬底表面势的影响

图 1 为 MNCM 结构示意图, 根据高斯定理, 隧穿氧化层和控制氧化层的电场强度和电压降的关系如下:

$$\epsilon_{tox}E_{tox} = \epsilon_{cox}E_{cox} + Q_{nc} \quad (8)$$

$$V_G = V_g + V_s, \quad V_g = V_{tox} + V_{cox} \quad (9)$$

式中 ϵ_{tox} 和 ϵ_{cox} 分别是控制氧化层和隧穿氧化层的介电常数, E_{tox} 和 E_{cox} 分别是控制氧化层和隧穿氧化层的电场强度, Q_{nc} 是存储在金属纳米晶中的电荷密度, V_G 是加在整个器件上的总栅极电压, V_s 是 Si 衬底表面势, V_g 是加在栅极介电层上的有效电压降, V_{tox} 和 V_{cox} 分别为控制氧化层和隧穿氧化层的电压。

从(11)和(12)可以得到:

$$V_{tox} = k \left(V_g + \frac{Q_{nc}}{\epsilon_{ox}/d_{cox}} \right), \quad k = \frac{d_{tox}}{d_{tox} + d_{cox}} \quad (10)$$

式中 k 为耦合系数, d_{tox} 和 d_{cox} 分别是隧穿氧化层和控

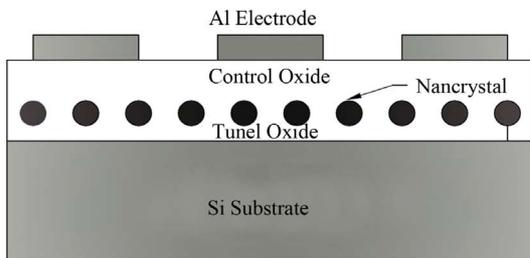


Figure 1. Schematic structure of MNCM
图 1. MNCM 结构示意图

制氧化层的厚度。

在 Si 衬底和隧穿氧化层的界面处, 连续性条件可写为:

$$\epsilon_{Si}E_{Si} = \epsilon_{tox}E_{cox}, \quad E_c + \phi_b = qE_{tox} \quad (11)$$

式中 ϕ_b 是 Si 衬底和隧穿氧化层之间的势垒差, ϵ_{Si} 是 Si 的介电常数, E_c 是 Si 衬底的导带底能量, E_{Si} 是 Si 衬底的表面电场强度。Si 衬底表面附近的电势 V_p 满足下列泊松方程:

$$\frac{d^2V_p}{dx^2} = -\frac{q(N_D^+ - N_A^- + p_p - n_p)}{\epsilon_{Si}} \quad (12)$$

式中 N_D^+ 和 N_A^- 分别为 Si 中电离施主和受主浓度, p_p 和 n_p 分别是 Si 中电子和空穴浓度。在 Si 表面, $V_p(0) = V_s$, V_s 就是表面势。在远离半导体表面, $V_p(\infty) = 0$ 。

2.3. 读入过程

在数据读入的过程中, 在栅极加上正向电压, Si 衬底表面的电子费米能级高于金属纳米晶的费米能级, 致使电子从 Si 衬底注入金属纳米晶中, 能带结构示意图如图 2 所示。依赖于隧穿电流密度大小的读入时间满足下列方程^[12,13]:

$$J_{DT} = \frac{q^3 m_{Si}}{8\pi^2 h m_{ox} \phi_b} \cdot E_{tox}^2 \cdot \Theta_{tox} \quad (13)$$

其中 h 为普朗克常数, m_{Si} 和 m_{ox} 是分别是 Si 衬底和隧穿氧化层的有效质量, Θ_{tox} 为电子通过梯形隧穿氧化层的隧穿几率。利用 Wentzel-kramers-Brillouin(WKB) 近似, Θ_{tox} 由式(14)给出^[13,14]:

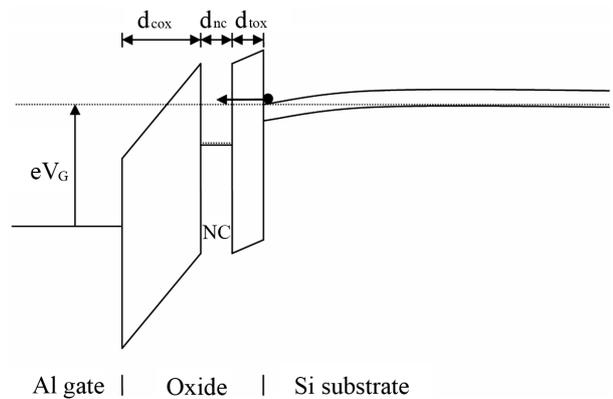


Figure 2. Schematic energy band diagram of MNCM during the charging processes

图 2. MNCM 数据读入过程能带结构示意图

$$\Theta_{tox} = \exp \left(- \frac{8\pi\sqrt{2m_{ox}} \left[\phi_b^{3/2} - (\phi_b - |qV_{tox}|)^{3/2} \right]}{3qh|E_{tox}|} \right) \quad (14)$$

金属纳米晶中的电荷密度与隧穿电流有如下关系:

$$Q_{nc} = - \int_0^{t_w} R_{nc} J_{DT} dt \quad (15)$$

式中 t_w 代表读入时间, $R_{nc} = (\pi/4)d_{nc}^2 N_{nc}$ 是纳米晶系数, N_{nc} 是纳米晶的密度。MNCM 中总电荷量随时间的变化关系如下:

$$\frac{dQ_{nc}}{dt} = - \frac{q^3 d_{nc}^2 N_{nc} m_{Si} E_{tox}^2 \exp \left(- \frac{8\pi\sqrt{2m_{ox}} \left[\phi_b^{3/2} - (\phi_b - |qV_{tox}|)^{3/2} \right]}{3qh|E_{tox}|} \right)}{32hm_{ox}\phi_b} \quad (16)$$

读入时间在这里定义为 MNCM 中每个金属纳米晶注入一个电子所用的时间。

2.4. 擦除过程

在数据擦除的过程中, 在栅极加上反向电压, Si 衬底表面的电子费米能级低于金属纳米晶的费米能级, 致使纳米晶颗粒上的电子隧穿至 Si 衬底上。擦除过程可以分成两种情况:

1) 当 $kq \left(V_g + \frac{Q_{nc}}{\epsilon_{ox}/d_{cox}} \right) > \phi_b - \phi_b$, 即栅极所加的反向电压较大时, 金属纳米晶的费米能级高于 Si 衬底表面的电子费米能级, 可以直接隧穿氧化层至 Si 衬底上, 能带结构示意图如图 3 所示。

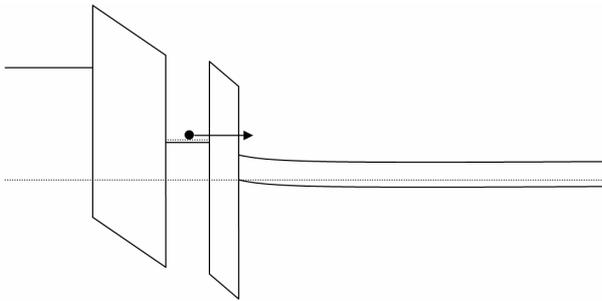


Figure 3. Schematic energy band diagram of MNCM during the discharging processes $(kq \left(V_g + \frac{Q_{nc}}{\epsilon_{ox}/d_{cox}} \right) > \phi_b - \phi_b)$

图 3. MNCM 数据擦除过程能带结构示意图

$$\left(kq \left(V_g + \frac{Q_{nc}}{\epsilon_{ox}/d_{cox}} \right) > \phi_b - \phi_b \right)$$

2) 当 $kq \left(V_g + \frac{Q_{nc}}{\epsilon_{ox}/d_{cox}} \right) < \phi_b - \phi_b$, 即栅极所加的反向电压较小时, 金属纳米晶的费米能级低于 Si 衬底表面的电子费米能级, 电子需要再通过热激发过程之后, 才能隧穿氧化层至 Si 衬底上, 能带结构示意图如图 4 所示。

考虑热激发效应以后, 上述两种情况的擦除时间归纳为:

$$\begin{aligned} \frac{dQ_{nc}}{dt} &= - \frac{q^3 d_{nc}^2 N_{nc} m_{nc} E_{tox}^2}{32hm_{ox}\phi_b} \exp \left(- \frac{8\pi\sqrt{2m_{ox}} \left[\phi_b^{3/2} - (\phi_b - |qV_{tox}|)^{3/2} \right]}{3qh|E_{tox}|} \right) \\ &\times \exp \left(- \frac{H(\Lambda) \times \Lambda}{kT} \right) \Lambda \\ &= \phi_b - \phi_b - |qV_{tox}| \end{aligned} \quad (17)$$

式中, 当 $\Lambda > 0$, $H(\Lambda) = 1$; 当 $\Lambda < 0$, $H(\Lambda) = 0$, T 为温度。在这里, 擦除时间定义为 MNCM 中每个纳米晶颗粒转移出一个电子所用的时间。

2.5. 保持过程

在数据保持的过程中, 栅极电压值为 0, 纳米晶存储器件中会有部分电荷会通过热激发隧穿氧化层至 Si 衬底上, 能带结构示意图如图 5 所示。数据保持时间定义为纳米晶存储器中 20% 的电荷隧穿势垒至于 Si 衬底所用的时间。保持时间可写为:

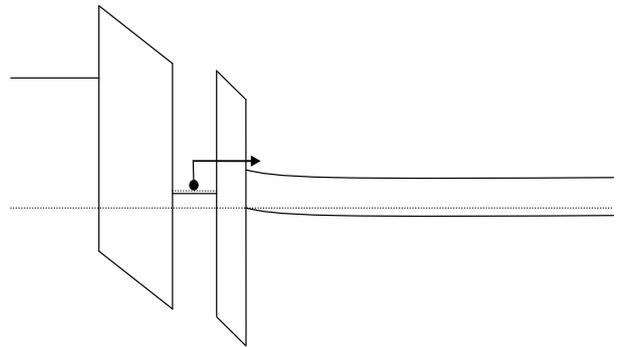


Figure 4. Schematic energy band diagram of MNCM during the discharging processes $(kq \left(V_{gate} + \frac{Q_{nc}}{\epsilon_{ox}/d_{cox}} \right) > \phi_b - \phi_b)$

图 4. MNCM 数据擦除过程能带结构示意图

$$\left(kq \left(V_g + \frac{Q_{nc}}{\epsilon_{ox}/d_{cox}} \right) > \phi_b - \phi_b \right)$$

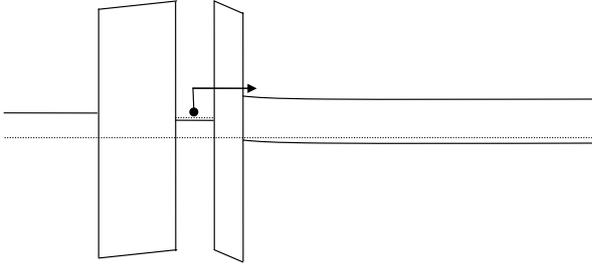


Figure 5. Schematic energy band diagram of MNMCM during the retentive processes
图 5. MNMCM 数据保持过程能带结构示意图

$$\frac{dQ_{nc}}{dt} = -\frac{q^3 d_{nc}^2 N_{nc} m_{nc}}{32 h m_{ox} \phi_b} E_{tox}^2 \exp\left(-\frac{8\pi\sqrt{2m_{ox}}\left[\phi_b^{3/2} - (\phi_b - |qV_{tox}|)^{3/2}\right]}{3qh|E_{tox}|}\right) \times \exp\left(-\frac{\Lambda}{kT}\right) \quad (18)$$

3. 结果与讨论

图 6 为 $d_{tox} = 2.4 \text{ nm}$ 、 $d_{cox} = 15 \text{ nm}$ ，隧穿氧化层材料为 SiO_2 的条件下，Pt、Au、Ni、Al 四种金属纳米晶的尺度与 MNMCM 数据保持时间的关系。当纳米晶的尺度 d_{nc} 比较小的时候，随着纳米晶尺度的增大，保持时间快速增加，而当 d_{nc} 较大时，保持时间增加较为缓慢。金属纳米晶的尺度越小，量子限制效应和库仑阻塞效应越明显，导致金属纳米晶与隧穿氧化层之间的势垒变化越大，而 MNMCM 的保持时间对这个势垒变化非常敏感。当纳米晶的尺度增加时，它与隧穿氧化层之间的有效势垒高度增加，载流子的隧穿几率减少，从而导致保持时间增大。对于相同的纳米晶尺度的 Pt、Au、Ni 和 Al 而言，Pt MNMCM 的保持时间最长，Al 的最短，这是因为 Pt 的功函数最大，有最大的势垒高度。对于 $d_{nc} = 5 \text{ nm}$ 、 $d_{tox} = 2.4 \text{ nm}$ 、 $d_{cox} = 15 \text{ nm}$ 的 MNMCM 而言，Pt 的保持时间约为 17 年，Au 为 2 年，Ni 为 1 个月，Al 为 2 天。

图 7 为 $d_{nc} = 8 \text{ nm}$ 和 $d_{cox} = 15 \text{ nm}$ 、隧穿氧化层材料为 SiO_2 的条件下，不同的隧穿氧化层厚度对 MNMCM 保持时间的影响。随着隧穿氧化层厚度的不断增加，器件的数据保持时间快速增长。隧穿氧化层的厚度在 $2.0 \text{ nm} \sim 2.8 \text{ nm}$ 之间变化，对于 Pt MNMCM，数据保持时间从 10^7 秒到 10^{13} 秒范围内变化。存储器的数据保

持时间对隧穿氧化层的厚度变化非常敏感，这是因为载流子的隧穿几率随距离的增加而呈指数地减少。

与 SiO_2 介质相比，在物理厚度相同(也就是保持高击穿电压和低泄漏电流不变)的情况下，高 K 介质具有高介电常数和较低的势垒高度，因此如果用高 K 介质取代 SiO_2 作为存储器的隧穿氧化层，可以在编程效率和保持特性之间做出更好的折衷选择，从而全面提升存储器的性能。图 8 比较了 SiO_2 、 Al_2O_3 、 HfO_2 、 Si_3N_4 、 ZrO_2 五种不同介质作为隧穿氧化层对 MNMCM 保持时间的影响。但是，从图中不能明显看出高 K 介质的介电常数与存储器的保持时间的关系。这是因为，由于以高 K 介质作为隧穿氧化层与 Si 衬底之间的势

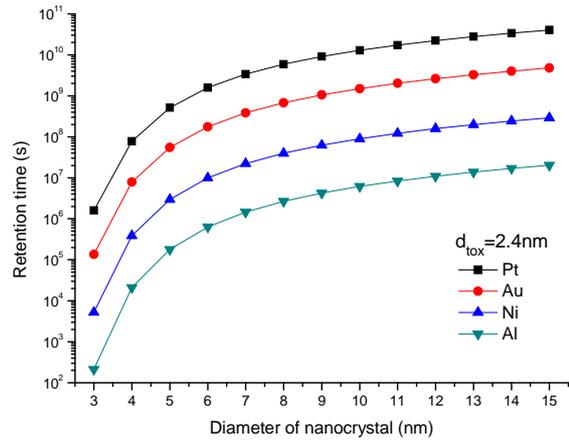


Figure 6. Retention time for various nanocrystal materials and the impact of the size of nanocrystal on retention performance
图 6. Pt、Au、Ni、Al 四种金属纳米晶的尺度与 MNMCM 保持时间的关系

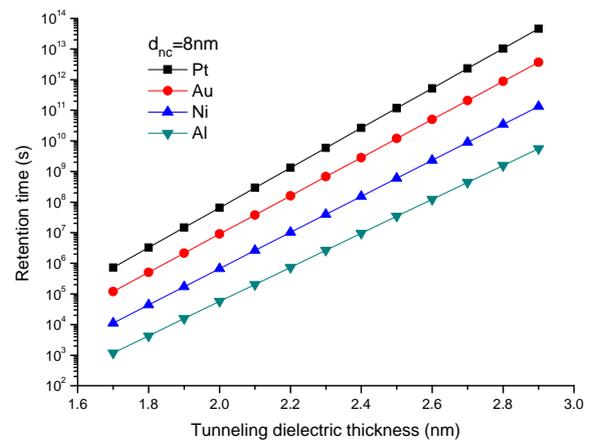


Figure 7. The dependence of retention time on tunneling dielectric thickness for MNMCM
图 7. Pt、Au、Ni、Al 四种金属纳米晶隧穿氧化层的厚度与 MNMCM 保持时间的关系

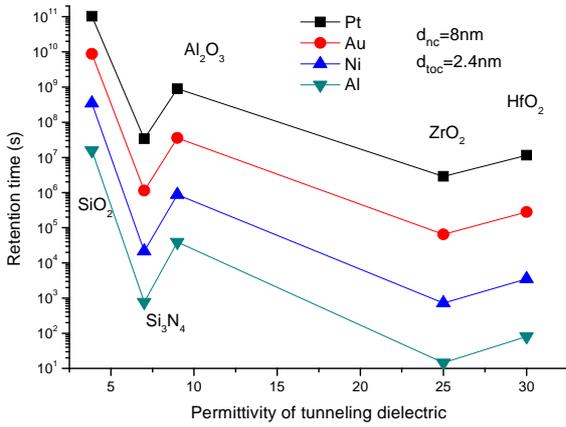


Figure 8. The impact of tunneling dielectric and nanocrystal material on the device retention characteristic
图 8. 不同隧穿氧化层对 MNMCM 保持时间的影响

垒高度较低，载流子的隧穿几率增加，从而导致保持时间减少。另一方面，介电常数的增加，可以减少加在隧穿氧化层上的电场，从而提高存储器的数据保持性能。

图 9 为外加栅极总电压(V_G)对 Al MNMCM 的读入时间和擦除时间的影响。当 $V_G = 8 \text{ V}$, $d_{nc} = 1.8 \text{ nm}$ 时，读入和擦除时间分别为 10^{-8} 和 10^{-6} 秒；而当 $V_G = 8 \text{ V}$, $d_{nc} = 2.8 \text{ nm}$ 时，读入和擦除时间分别为 10^{-4} 和 10^{-2} 秒。这说明读入和擦除时间对隧穿氧化层的厚度非常敏感，随着厚度的增加，时间急剧增加。从图 6 中可以看出，在 V_G 相同的情况下，读入时间比擦除时间大一些，这是由于金属纳米晶和 Si 衬底的势垒不对称所导致的。对于擦除过程而言，当栅极电压减少到 -3 V 附近时，擦除时间增加得非常快，在这里有一个突变，而对于读入过程则观察不到这种现象。在擦除过程中观察到的时间突变，可以用热激发来解释。在擦除的过程中，当加在栅极上的反向电压值较小的条件下，随着栅极电压值的减小，擦除时间迅速增大。这是因为栅极所加的反向电压较小时，金属纳米晶的费米能级低于 Si 衬底表面的电子费米能级，电子需要再通过热激发过程之后，才能隧穿方式隧穿至 Si 衬底。而发生热激发的几率很小，导致最终成功隧穿氧化层的电子数剧烈减小，致使隧穿电流减小，从而大幅度增大了擦除时间。而在读入过程中，Si 导带底能级始终大于金属纳米晶的费米能级，因此不需要通过热激发参与就能完成隧穿，因此读入过程中读入时间不存在突变。

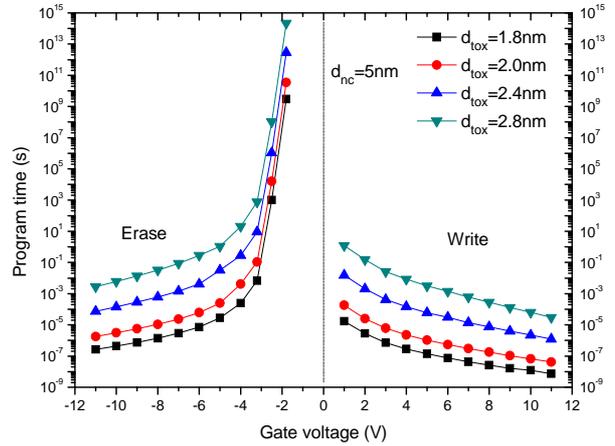


Figure 9. The dependence of program time on tunneling dielectric thickness and gate voltage for MNMCM
图 9. 不同隧穿氧化层厚度的 Al MNMCM 的栅极电压与读入和擦除时间的关系

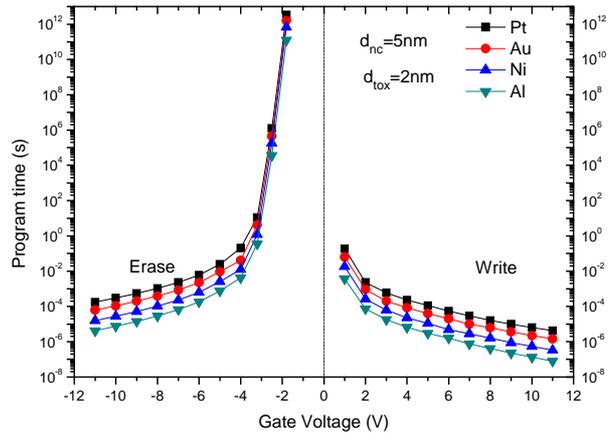


Figure 10. The impact of gate voltage and nanocrystal material on the device program characteristic
图 10. 四种金属纳米晶材料的 MNMCM 的栅极电压与读入和擦除时间的关系

图 10 为 $d_{nc} = 5 \text{ nm}$ 、 $d_{tox}(\text{SiO}_2) = 2 \text{ nm}$ ，Pt、Au、Ni、Al 四种不同的金属纳米晶材料对 MNMCM 的读入时间和擦除时间的影响。在相同的栅极电压下，Al 纳米晶器件的读入和擦除时间比 Ni、Au 和 Pt 的要短。这是因为 Pt 的功函数最大，相应的势垒高度也最大，而 Al 的函数最小，相应的势垒高度也最小。当 $V_G = 8 \text{ V}$ 时，Al 的读入时间和擦除时间为 $0.1 \mu\text{s}$ 和 $10 \mu\text{s}$ ，Pt 的读入时间和擦除时间为 $10 \mu\text{s}$ 和 1 ms ，Al 纳米晶器件的读入速度和擦除速度是 Pt 纳米晶器件的 100 倍。对于以读入和擦除时间为主要考虑因素的纳米晶存储器件，金属材料起着很大的影响。当存储器以数据读入时间和擦除时间短为主要功能时，Al 纳米晶存

储器件相比其他 MNCM 占优势。

4. 结论

在考虑了量子限制效应、库仑阻塞效应、Si 衬底表面势和热激发的情况下, 提出了一个简单的瞬态电学模型, 从理论上模拟了 Pt、Au、Ni、Al 四种 MNCM 的存储特性。模拟结果表明: 随着纳米晶直径和隧穿氧化层厚度的增大, 保持时间会增大。而随着栅极电压的增大, 隧穿氧化层厚度的减小, 读入时间和擦除时间都会减小。在隧穿氧化层厚度为 2.4 nm, 直径为 8 nm 的 Au 足够保证数据保持时间长达 10 年, 而在栅极电压为 10 V 时, 读入和擦除时间可以达到 0.1 ms。较大尺寸的纳米晶存储器件有着更长的保持时间和更快的读入速度和擦除速度。对于不同的金属材料, 由于它们的功函数不同, 保持能力、读入速度和擦除速度是不一样的。Pt MNCM 的数据保持能力最强, 而 Al MNCM 的读入速度和擦除速度较快。在擦除过程中, 当外加的反向偏压的绝对值减少到一定值的时候, 擦除时间会急剧增大, 这是因为需要通过热激发参与才能完成隧穿, 电子发生热激发效应的几率很小, 使得擦除时间发生突然增大的现象。在 Pt、Au、Ni、Al 四种 MNCM 中, 当存储器以数据读入和擦除为主要功能时, Al 纳米晶存储器相比 Pt、Au、Ni 的占优势; 而当存储器以数据保持为主要功能时, Pt 纳米晶存储器占优势。通过对金属纳米晶材料、纳米晶的直径大小以及隧穿氧化层厚度等物理量的改变, 满足不同功能 MNCM 的需求。当工艺节点向 50 nm 以下发展时, MNCM 将是浮栅结构的有力竞争者, 将会有良好的非挥发存储应用前景。

5. 致谢

本文得到了国家自然科学基金(61076055)和金华

科技计划项目(2009-1-141)的资助, 特此致谢!

参考文献 (References)

- [1] H. I. Hanafi, S. Tiwari and I. Khan. Fast and long retention-time nanocrystal memory. *IEEE Transactions on Electron Devices*, 1996, 43(9): 1553-1558.
- [2] P. Dimitrakis, E. Kapetanakis, *et al.* MOS memory structures by very low energy implanted Si in thin SiO₂. *Materials Science and Engineering: B*, 2003, 101(1-3): 14-18.
- [3] Y. Shi, K. Saito, *et al.* Effects of traps on charge storage characteristics in metal oxide semiconductor memory structures based on silicon nanocrystals. *Journal of Applied Physics*, 1998, 84(4): 2358-2360.
- [4] Z. T. Liu, C. G. Lee, *et al.* Metal nanocrystal memories-Part I: device design and fabrication. *IEEE Transaction on Electron Devices*, 2002, 49(9): 1606-1631.
- [5] C. H. Lee, J. Meteer, *et al.* Self-assembly of metal nanocrystal on ultrathin oxide for nonvolatile memory applications. *Journal of Electronic Materials*, 2005, 34(1): 1-11.
- [6] J. J. Lee, Y. Harada, J. W. Pyun and D.-L. Kwong. Nickel nanocrystal formation on HfO₂ dielectric for nonvolatile memory device applications. *Applied Physics Letters*, 2005, 86(10): Article ID 103505-3.
- [7] Z. Tan, S. K. Samanta, W. J. Yoo and S. Lee. Self-assembly of Ni nanocrystals on HfO₂ and N-assisted Ni confinement for nonvolatile memory application. *Applied Physics Letters*, 2005, 86(1): Article ID 013107-3.
- [8] M. She, T.-J. King. Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance. *IEEE Transactions on Electron Devices*, 2003, 50(9): 1934-1940.
- [9] W. Guan, S. Long, M. Liu, Q. Liu, Y. Hu, Z. Li and R. Jia. Modeling of retention characteristics for metal and semiconductor nanocrystal memories. *Solid-State Electronics*, 2007, 51: 806-811.
- [10] V. Beyer, J. von Borany and M. Klimenkov. A transient electrical model of charging for Ge nanocrystal containing gate oxides. *Journal of Applied Physics*, 2007, 101(9): Article ID 094507-7.
- [11] V. Beyer, J. von Borany, M. Klimenkov and T. Müller. Current-voltage characteristics of metal oxide semiconductor devices containing Ge or Si nanocrystals in thin gate oxides. *Journal of Applied Physics*, 2009, 106(6): Article ID 064505.
- [12] K. F. Schuegraf, C. Hu. Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation. *IEEE Transactions on Electron Devices*, 1994, 41(5): 761-767.
- [13] Z. A. Weinberg. On tunneling in metal oxide silicon structures. *Journal of Applied Physics*, 1982, 53(7): 5052-5056.
- [14] W.-C. Lee, C. Hu. Modeling CMOS tunneling Currents through ultrathin gate oxide due to conduction and valence band electron and hole tunnel. *IEEE Transactions on Electron Devices*, 2001, 48(7): 1366-1373.