

# Hardware Design and Implementation of Single Particle Soft Error Test System

Xiaoling Lai<sup>1</sup>, Qi Zhu<sup>1</sup>, Jian Wang<sup>1</sup>, Xiaoping Huang<sup>2</sup>, Hao Wu<sup>2</sup>, Yangming Guo<sup>2</sup>

<sup>1</sup>Academy of Space Technology (Xi'an), Xi'an Shaanxi

<sup>2</sup>School of Computer Science and Technology, Northwestern Polytechnical University, Xi'an Shaanxi

Email: yangming\_g@nwpu.edu.cn, cowboy-gx@163.com

Received: Aug. 4<sup>th</sup>, 2020; accepted: Aug. 18<sup>th</sup>, 2020; published: Aug. 25<sup>th</sup>, 2020

---

## Abstract

The digital system of space vehicle works in the space environment with a large number of radiation particles. Single particle soft error will pose a great threat to the safety and reliability of the vehicle. It is urgent to establish a single particle soft error test system to complete the test of the object digital system. This paper takes XC5VFX130T SRAM FPGA of Xilinx company and TMS570LS3137 CPU of TI company and its digital system as objects, analyzes the functional requirements of the software error test system, puts forward the overall structure of the system, defines the functions, divides the modules, designs the communication protocol between the monitoring FPGA and the upper computer, and realizes the hardware platform and the system logic with the aspects of monitoring FPGA, tested FPGA and CPU.

## Keywords

FPGA, CPU, Single Event Effect, Single Particle Soft Error, Test System

---

# 一种单粒子软错误测试系统的硬件设计与实现

赖晓玲<sup>1</sup>, 朱 启<sup>1</sup>, 王 健<sup>1</sup>, 黄小平<sup>2</sup>, 吴 昊<sup>2</sup>, 郭阳明<sup>2</sup>

<sup>1</sup>中国空间技术研究院西安分院, 陕西 西安

<sup>2</sup>西北工业大学计算机学院, 陕西 西安

Email: yangming\_g@nwpu.edu.cn, cowboy-gx@163.com

收稿日期: 2020年8月4日; 录用日期: 2020年8月18日; 发布日期: 2020年8月25日

## 摘要

空间飞行器数字系统工作在含有大量辐射粒子的宇宙环境下,单粒子软错误会对飞行器的安全性、可靠性造成很大威胁,亟需建立单粒子软错误测试系统以完成对象数字系统的测试。论文以Xilinx公司的XC5VFX130T SRAM型FPGA和TI公司的TMS570LS3137型号CPU器件及其构建的数字系统为对象,分析了软错误测试系统的功能需求,提出了系统总体结构,进而定义功能、划分模块,设计了监控FPGA和上位机之间的通讯协议,从监控FPGA、被测FPGA和CPU,对硬件平台和系统逻辑进行了设计和实现。

## 关键词

FPGA, CPU, 单粒子效应, 单粒子软错误, 测试系统

Copyright © 2020 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

## 1. 引言

空间飞行器数字系统主要由FPGA、CPU、DSP等数字器件构成。由于其工作在含有大量辐射粒子的宇宙环境下,单粒子翻转等软错误对飞行器的安全性、可靠性造成了很大的威胁[1]。为了保证飞行器的长寿命和高可靠性,开展FPGA、CPU等器件的软错误检测技术研究,以便评估出这些器件的单粒子翻转敏感特性[2],为空间飞行器数字系统的设计选型和防护设计评价提供依据和支撑,对寻找预防和减缓空间效应措施具有极大的意义和价值[3]。

论文以TI公司的TMS570LS3137型号CPU和Xilinx公司的Virtex5 XC5VFX130T器件等两类新型COTS器件为电离辐射摸底试验的试验对象,针对器件的不同资源,分别构建两类器件单粒子翻转测试系统,以评估不同测试状态下器件本身的单粒子翻转敏感程度,为后续的抗辐射加固设计提供依据,达到指导其未来宇航应用的目的。

## 2. 测试系统的总体结构设计

### 2.1. 系统功能需求分析

为了验证在实际辐照环境下软错误检测方法的有效性,需要搭建一个可以用于辐照试验的软错误测试系统。一般来说,测试系统可以控制试验过程,并且能够采集、传输、处理、保存试验数据[4][5][6]。为此,该测试系统包含以下的功能:

- 1) 对辐照试验过程进行控制。因为需要对FPGA和CPU两种器件进行辐照试验且这两种器件必须分开独立进行。因此,要求测试系统能够在FPGA测试和CPU测试之间自由切换,并可以选择具体的针对器件某一主要资源的测试模式。此外,测试系统应该可以控制一次试验的开始、暂停或者结束。

- 2) 回读被测FPGA。这是评估配置存储器软错误敏感性的关键步骤。为此,要求测试系统通过一个读写速度很快的接口来对被测FPGA进行回读,并能够快速且可靠地将回读数据上传。该测试系统选用SelectMAP接口回读FPGA并使用网口上传数据。

- 3) 实时上传FPGA动态测试及CPU测试的软错误数量。在实际辐照试验中,需要确定刚出现软错

误的 LET 值及软错误数量的饱和值。因此，测试系统应该能够实时观测测试数据。

4) 保存上传的测试结果。测试系统不仅可以实时采集辐照试验数据，而且能可靠地将其保存，以供进一步的处理。

## 2.2. 系统总体架构设计

一般将被测器件放在真空中，以避免加速器中射出的高能粒子到达芯片表面过程中能量衰减过多，这也导致了对外界环境和被测芯片之间的连线类型和数量的要求很苛刻。此外，为防止加速器对试验人员产生辐射伤害，实际操作中试验人员一般通过计算机对测试系统进行远程操作。为此，将软错误测试系统分为监控 FPGA、被测 FPGA、CPU、上位机等主要部分。测试系统的总体结构如图 1 所示。

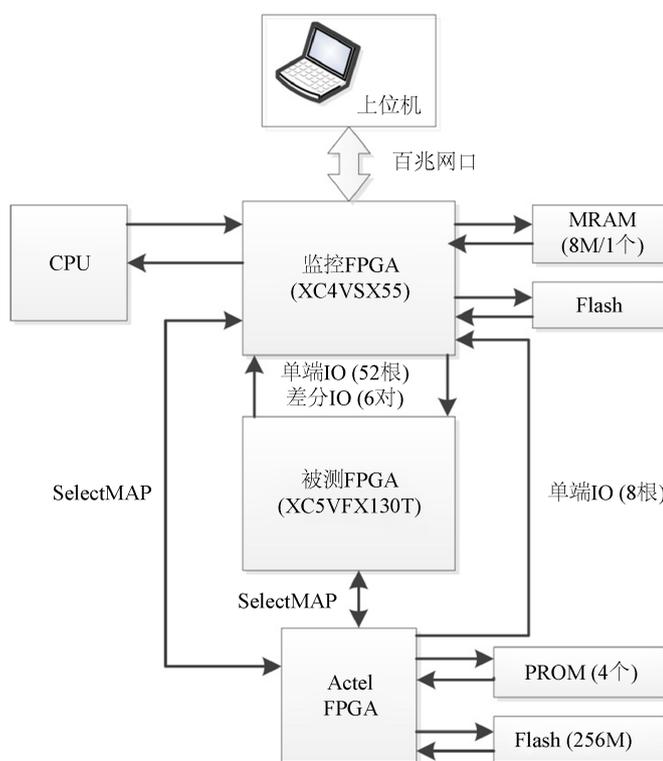


Figure 1. Overall structure of single particle soft error test system

图 1. 单粒子软错误测试系统总体结构

图 1 中，

### 1) 上位机

试验时上位机一般处于真空室外，在辐照过程中由控制室的计算机远程控制，监控 FPGA 通过用户数据报协议(UDP)与 PC 进行数据传输，以达到测试环境要求的高速可靠的数据交互和板间最少连线的双重目的。

上位机作为测试系统控制中心与数据存储与分析平台，设置测试条件与参数；向下位机发送测试模式切换、测试过程控制等指令；静态测试模式下，回读被测 FPGA 的配置数据并与参照文件比较；实时统计 FPGA 动态测试以及 CPU 测试的翻转数量；保存每一次测试的数据和结果，用于后续数据分析。

### 2) 监控 FPGA

监控 FPGA 通过网口与上位机直接相连，其主要功能有接收上位机下发的测试控制指令并执行相应

操作；CPU 测试模式下给被测 FPGA 提供时钟；将测试结果通过网口上传给上位机。

监控 FPGA 主要由以下模块组成：

a) 网口驱动模块，上位计算机与测试板的通讯接口。上位计算机通过网口向测试板发送各种控制命令；测试板通过网口向上位计算机传回测试状态与测试数据。采用 UDP 通讯协议实现。

b) 静态测试模块，采用“一次回读”的方式，即辐照一段时间后再对被测 FPGA 通过 SelectMAP 口回读，并区分出配置存储器和 BRAM 的配置信息。

c) 动态测试模块，为 BRAM 和触发器动态测试提供输入时钟，并接收测试输出。与静态测试“先辐照后统计”不同的是，在被测 FPGA 被辐照的同时，该模块统计翻转位数，即“边辐照边统计”。

### 3) 被测 FPGA 和 CPU

FPGA 软错误检测方法以测试电路的形式在被测 FPGA 中实现。FPGA 测试模式下，被测 FPGA 的功能主要有静态测试模式下，通过 SelectMAP 口将配置数据发给监控 FPGA；动态测试模式下，通过信号线将测试电路的输出结果上传给监控 FPGA。而在 CPU 测试模式下，被测 FPGA 的功能是接收来自 CPU 的测试数据并将其转发给监控 FPGA。

CPU 软错误检测方法以测试程序的形式在被测 CPU 中实现。CPU 的功能主要有实现寄存器、SRAM、Flash 等资源的测试程序；通过串口与上位机直接相连，在 CPU 测试过程中向上位机打印测试相关的信息。

## 2.3. 系统硬件连接设计

测试系统的硬件平台主要由被测器件(FPGA 和 CPU)、监控 FPGA、上位机以及一些外设构成。如图 2 所示，被测 FPGA 与监控 FPGA 之间有配置接口、普通 I/O 和 LVDS I/O；被测 FPGA 外接了 Flash、SRAM 和 SDRAM，这三类存储器件用于 CPU 器件使用；晶振、电源、422 接口芯片、LVTTTL 接口芯片等外设也与被测 FPGA 相连；与监控 FPGA 相连的存储器件为 12 片 PROM (XCF32PV048C)，每一片存储空间为 32 Mb，而一片 XC5VFX130T 需要 2 片 PROM 存储设计文件；另外，监控 FPGA 通过百兆网口与上位机进行连接。

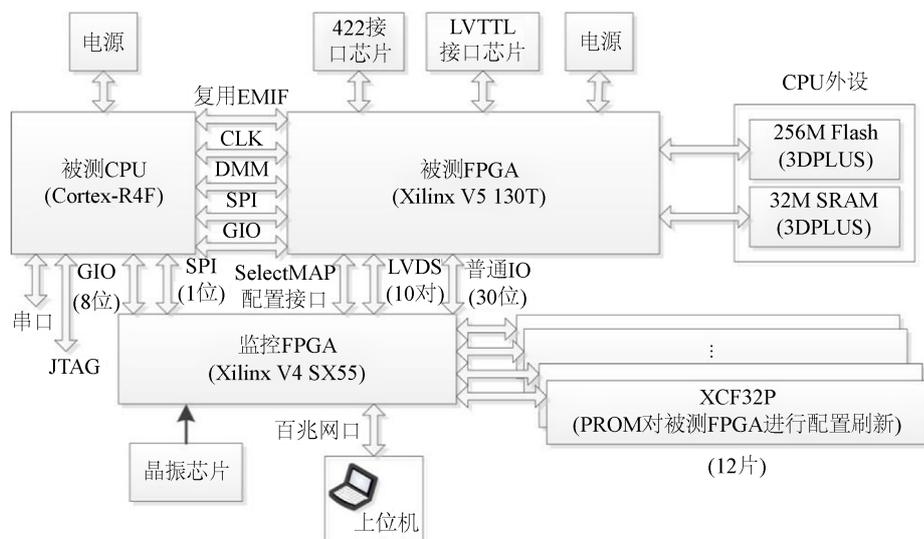


Figure 2. Hardware connection diagram of test system  
图 2. 测试系统硬件连接图

由图 2 可以看出，测试系统接口众多且复杂。被测 FPGA 与监控 FPGA 之间的接口，如表 1 所示。

**Table 1.** Interface table of tested FPGA and monitoring FPGA

**表 1.** 被测 FPGA 与监控 FPGA 接口表

序号	接口类型	接口名称	接口来源
1		FPGA2_CLK	外部信号源供时钟
2		F3PROGRAM	Prog 指示信号
3		F3DONE	Done 指示信号
4	配置接口	F3CCLK	Cclk 全局时钟
5		F3INIT	Init 指示信号
6		F3CS_B	CS 片选信号
7		F3RDWR_B	RDWR 读写控制信号
8		F3D0	
9		F3D1	
10		F3D2	
11		F3D3	
12		F3D4	8 bit SelectMAP 数据信号
13		F3D5	
14		F3D6	
15		F3D7	
16		F3D8	
17~46	单端 IO (组别 1)	F2_F3_SIG_1~F2_F3_SIG_30	30 根单端信号
47~66	差分 IO	F2_F3_DIFF_P10 F2_F3_DIFF_N10 ~ F2_F3_DIFF_P1 F2_F3_DIFF_N1	10 对差分信号
67~74	普通 IO	F2_ACTEL_1~F2_ACTEL_8	

### 3. 系统逻辑设计与实现

#### 3.1. 监控 FPGA 设计

监控 FPGA 接收上位机测试指令、测试参数、测试芯片配置数据；按上位机测试参数设置被测 FPGA 芯片的工作时钟、测试模式；测试 SEFI 接口；配置和刷新测试芯片的配置存储器；回读测试芯片的配置信息；接收测试芯片的测试数据；采用 UDP 协议上传测试结果。监控 FPGA 的逻辑设计如图 3 所示。

#### 3.2. 被测 FPGA 设计

FPGA 和 CPU 两种器件的软错误测试都将用到了被测 FPGA，然而不同测试模式下，被测 FPGA 的逻辑设计是不同的。首先对于 FPGA 测试模式，考虑到对被测芯片进行多项目测试的需求，被测芯片需根据测试需要加载不同配置，并根据需要测试 SEFI 和回读配置存储器数据，且监控芯片有充足的设计资源可用，方案拟采用基于被测 FPGA 芯片的被动模式 SelectMAP 端口，由监控芯片作主控器件对被测

FPGA 芯片进行 SEFI 测试、器件配置和配置数据回读,同时使用 LVDS 与被测 FPGA 动态测试电路接口,控制被测 FPGA 的动态测试模式并接收其测试结果数据。FPGA 测试模式下被测 FPGA 的逻辑设计如图 4 所示。

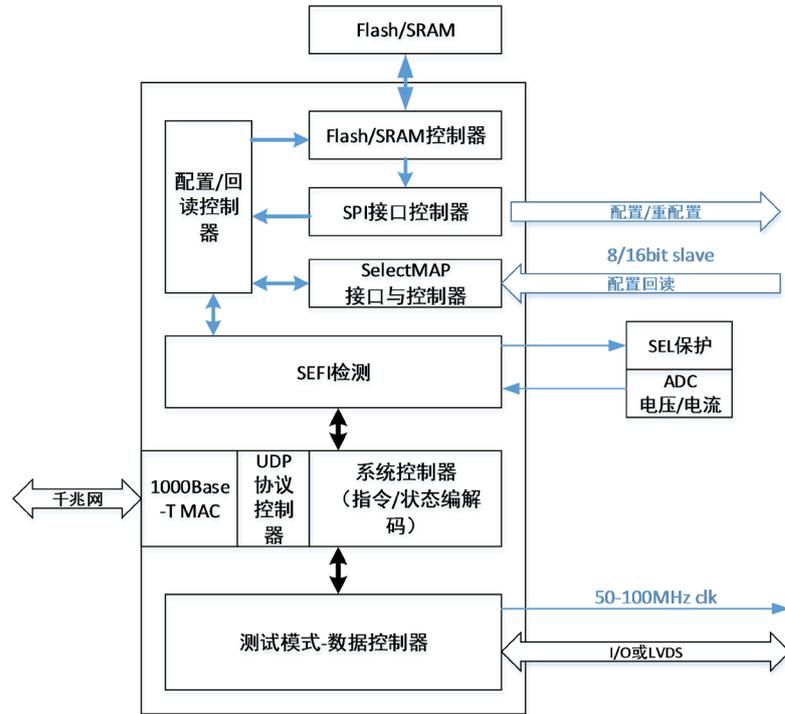


Figure 3. Logic design of monitoring FPGA  
图 3. 监控 FPGA 逻辑设计

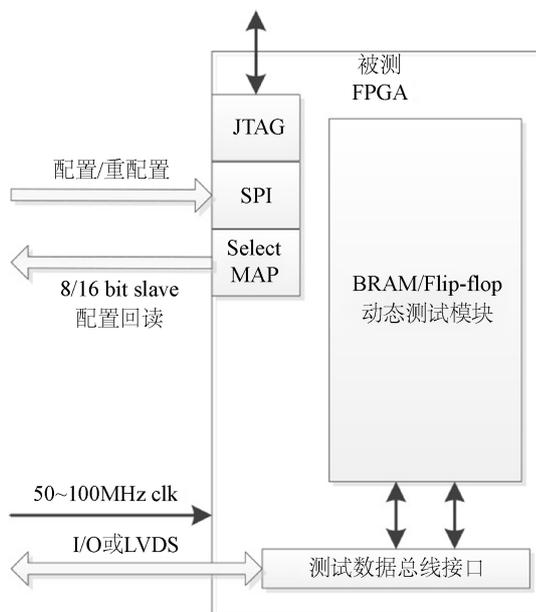


Figure 4. Logic design of tested FPGA in FPGA test mode  
图 4. FPGA 测试模式下被测 FPGA 逻辑设计

对于 CPU 测试模式，不同的测试程序，需要通过 Xilinx 软件设计不同的被测 FPGA 内部结构，该结构与 CPU 一侧是 EMIF 接口，与上位机一侧是网口通信。CPU 测试模式下被测 FPGA 的逻辑设计如图 5 所示。

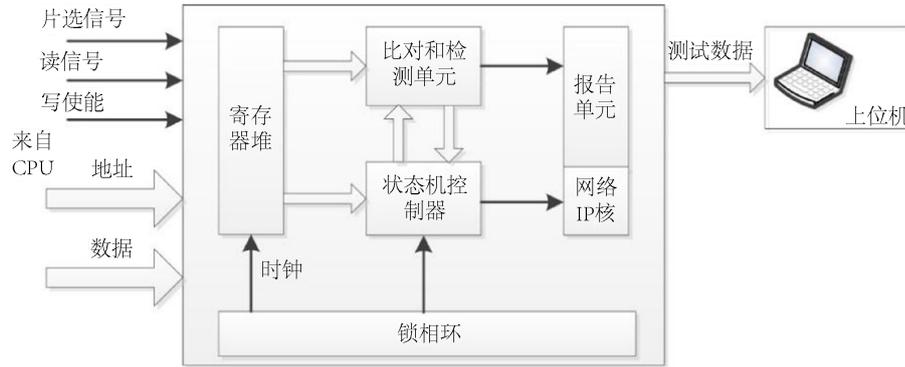


Figure 5. Logic design of FPGA under test mode of CPU  
图 5. CPU 测试模式下被测 FPGA 逻辑设计

图 5 中 REGs Unit 单元锁通过 DMA 推送来自 CPU 的数据流。State Machine 控制当前的数据流检测和逻辑判断，并根据结构决定是否需要将当前的结果上报给上位机。网络接口协议自定义，核心是将当前发生 SEU 的 SRAM/Flash 地址、寄存器编号、中断索引和数据内容上传给上位机，上位机进行实时/离线分析处理，完成测试。

#### 4. 系统应用验证

选取 FPGA 测试模式下的“静态测试”和 CPU 测试模式下的“寄存器测试(全 0)”对设计实现的测试系统进行了应用验证。

##### 1) FPGA 测试模式下的“静态测试”

上位机软件启动后，点击主界面左上角的“测试”菜单，选择“FPGA 测试”，进入 FPGA 测试模式，如图 6 所示。



Figure 6. Main interface of FPGA test  
图 6. FPGA 测试主界面

参数设置完毕后，点击“开始”按钮，上位机记录实验开始时间并计时。辐照一段时间后，点击“暂停”按钮，上位机停止计时并记录下实验结束时间后，立即开始回读。回读结束后，统计软错误数量。“当前 SEU”由两部分组成，分别是 CLB 和 BRAM 互联资源的翻转数和 BRAM 的翻转数。点击“结束”按钮，上位机提示试验人员存储测试结果。在当前路径下选择“静态测试”文件夹作为数据保存的目录，最后一步是点击“保存数据”，实验数据即存到了上一步指定的文件夹中，如图 7 所示。

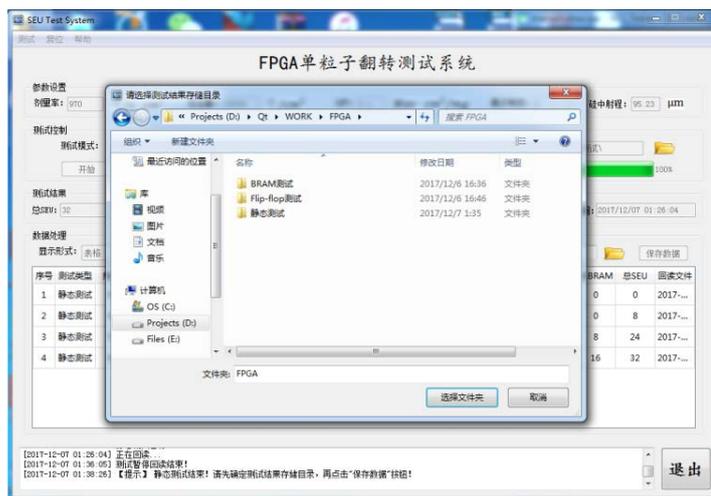


Figure 7. FPGA static test result storage  
图 7. FPGA “静态测试” 结果存储

## 2) CPU 测试模式下的“寄存器测试(全 0)”

如图 8 所示，进入 CPU 测试模式。设置好剂量率等参数后，先选择并打开正确的串口以连接 CPU，并选择一个文件夹作为测试结果的存储目录。点击“开始”按钮，上位机记录下实验开始时间并计时，并弹窗显示当前寄存器的各地址及其对应的初始值(都为 0)。在测试过程中，CPU 扫描到一个软错误，即地址为 1B，第 4 位发生了“0 跳变为 1”的 SEU。上位机在后台自动保存了该数据，在主界面上更新了“总 SEU”和“当前 SEU”的同时，在弹窗中标注了软错误发生的位置，如图 9 所示。



Figure 8. CPU test interface  
图 8. CPU 测试界面



Figure 9. Upper computer processing test data  
图 9. 上位机处理测试数据

点击“结束”按钮后，上位机将当前系统时间作为测试完成的时间，此时试验人员可以选择变更辐照参数，继续开始下一次测试，或者点击“保存数据”按钮后，切换测试模式，如图 10 所示。



Figure 10. Register test ended with all 0  
图 10. 寄存器测试(全 0)结束

## 5. 小结

论文以 TI 公司的 TMS570LS3137 型号 CPU 和 Xilinx 公司的 Virtex5 XC5VFX130T 器件等两类新型 COTS 器件为电离辐射摸底试验的试验对象，从测试系统的功能需求出发，对系统进行功能定义以及模块划分，并提出系统的总体结构设计，完成了测试系统的硬件平台、以及包括监控 FPGA 和被测器件在内的软件逻辑设计和实现。应用表明，该测试系统可以很好地满足实际测试需求。

## 基金项目

国家某重点科研项目(MJ-2016-S-42, MJ-2018-S-34)，国防基础科研计划项目，国网浙江省电力有限公司科技项目(2020 年)，陕西省创新能力支撑计划项目(2019PT-03)，电子元器件可靠性物理及其应用技

术重点实验室开放基金(ZHD201603)。

### 参考文献

- [1] 王同权. 高能质子辐射效应研究[D]: [博士学位论文]. 长沙: 中国人民解放军国防科学技术大学, 2003.
- [2] 李剑明. 面向星载计算机瞬时故障的软件控制流错误检测技术[D]: [硕士学位论文]. 长沙: 国防科学技术大学, 2009.
- [3] 王长河. 单粒子效应对卫星空间运行可靠性影响[J]. 半导体情报, 1998(1): 1-8.
- [4] 邢克飞. 星载信号处理平台单粒子效应检测与加固技术研究[D]: [博士学位论文]. 长沙: 国防科学技术大学, 2007.
- [5] 孙鹏. 抗单粒子翻转 SRAM-based FPGA 测试系统研究与设计[D]: [硕士学位论文]. 上海: 复旦大学, 2010.
- [6] 蒋轶虎. 宇航用 FPGA 单粒子效应监测方法及监测系统研究[D]: [硕士学位论文]. 西安: 西安电子科技大学, 2011.