

基于SiC MOSFET的交错并联Boost变换器电压尖峰抑制方法

王朋辉^{1,2}, 付有良^{1,2}, 邹爱龙^{1,2}, 刘志鹏^{1,2}, 王永军^{1,2}

¹内燃机与动力系统全国重点实验室, 山东 潍坊

²潍柴动力股份有限公司, 山东 潍坊

收稿日期: 2023年10月7日; 录用日期: 2023年10月12日; 发布日期: 2023年12月8日

摘要

大功率变换器的发展趋势是高频率、高效率和高功率密度。与传统的Si MOSFET相比, SiC MOSFET因具有开关速度快、开关损耗低、工作温度高等优点, 得到了广泛的应用。然而, SiC MOSFET在高速关断过程中容易产生电压尖峰和振荡, 严重威胁到功率变换器的可靠运行。针对这一问题, 本文对SiC MOSFET关断过程进行详细分析后, 分别针对影响关断电压尖峰的两种因素, 提出了相应的抑制方法。为验证所提方法的有效性, 搭建了试验平台。通过试验结果可知, 所提出的方法可以有效抑制关断过程中产生的电压尖峰, 而不会显著增加开关损耗。

关键词

交错并联, Boost变换器, 电压尖峰抑制

An Interleaved Parallel Boost Converter Voltage Spike Suppression Method Based on the SiC MOSFET

Penghui Wang^{1,2}, Youliang Fu^{1,2}, Ailong Zou^{1,2}, Zhipeng Liu^{1,2}, Yongjun Wang^{1,2}

¹National Key Laboratory of Internal Combustion Engine and Power System, Weifang Shandong

²Weichai Power Co., Ltd., Weifang Shandong

Received: Oct. 7th, 2023; accepted: Oct. 12th, 2023; published: Dec. 8th, 2023

Abstract

The trend for high-power converters is high frequency, high efficiency, and high power density.

文章引用: 王朋辉, 付有良, 邹爱龙, 刘志鹏, 王永军. 基于SiC MOSFET的交错并联Boost变换器电压尖峰抑制方法[J]. 电力与能源进展, 2023, 11(6): 185-193. DOI: 10.12677/aepe.2023.116021

Compared to traditional silicon-based power devices, the original MOSFET is widely used because of its fast switching speed, low switching losses, and high operating temperatures. However, in this way, MOSFETs are prone to voltage spikes and oscillations during high-speed shutdown, seriously threatening the reliable operation of the power converter. In response to this issue, this article provides a detailed analysis of the SiC MOSFET shutdown process and proposes corresponding suppression methods for the two factors that affect the shutdown voltage spike. To verify the effectiveness of the proposed method, an experimental platform was established. The experimental results show that the proposed method can effectively suppress voltage spikes generated during the shutdown process without significantly increasing switch losses.

Keywords

Interleaving Parallel, Boost Converter, Voltage Spike Suppression

Copyright © 2023 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

如图 1 所示, 交错并联 Boost 变换器作为一种非隔离大功率的 DC/DC 变换器, 因具有输入电流纹波低、电压增益高等优点, 被广泛应用于氢燃料电池车的功率转换。Boost 变换器作为氢燃料电池车驱动系统的主要部件, 受汽车车身空间限制, 对其功率密度要求较高。相比于传统的 Si MOSFET, SiC MOSFET 因具有耐压水平高、温度稳定性好、工作频率高等特性, 可以极大减小变换器主回路中电感、电容元件的体积, 使变换器的功率密度得到成倍数的提高[1]。

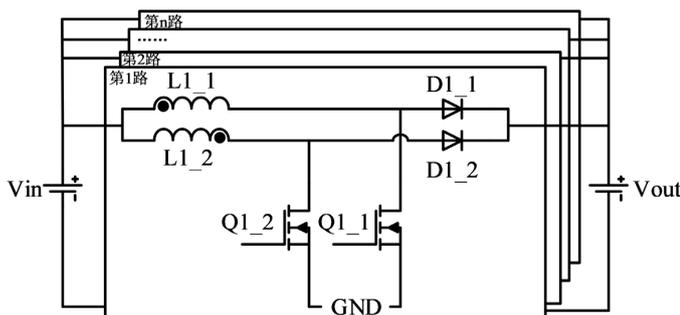


Figure 1. Topology diagram of interleaved parallel Boost converter

图 1. 交错并联 Boost 变换器拓扑图

将 SiC MOSFET 引入到交错并联 Boost 变换器中, 在提高开关频率和运行效率的同时, 还减小了变换器的体积和损耗, 但 SiC MOSFET 极间寄生电容较小, 开关速度快, 导致其对电路中杂散电感十分敏感, 在关断过程中会产生很大的 di/dt 。同时, SiC MOSFET 作为单极型器件, 在关断过程中不具有拖尾电流效应, 极易产生较大的瞬时电压尖峰[2]。

为抑制 SiC MOSFET 关断时的电压尖峰, 文献[3]提出一种电流注入型有源驱动电路, 通过控制输入到栅极电流的大小来抑制电压尖峰, 该方法在牺牲较少损耗的情况下能够有效抑制电压尖峰, 但控制较为复杂、实现难度大; 增加栅极电阻能够明显减小 SiC MOSFET 的尖峰和振荡, 但是增大驱动电阻会增

加开关损耗和驱动损耗[4]。

本文针对 SiC MOSFET 在关断时，电压尖峰产生的机理进行理论分析后，分别从减小 SiC MOSFET 关断时的电流；降低 SiC MOSFET 的关断速度，提出了两种电压尖峰的抑制方法，并通过试验验证了所提方法的有效性。

2. 关断电压尖峰的机理分析

在交错并联 Boost 变换器中，各相拓扑结构相同，只是开关管 Q 的导通时序不同，因此本文只对其中一相进行分析。为详细分析 SiC MOSFET 关断时，电压尖峰和振荡的形成机理，本文搭建了图 2 所示的 Boost 电路。其中， V_{in} 为直流母线输入电压， V_{out} 为直流母线输出电压， L 为储能电感， R_g 为驱动电阻，Q 为 SiC MOSFET，D 为 SiC Diode；电路中的主要寄生参数包括：SiC MOSFET 的栅源极间电容 C_{gs} 、漏源极间电容 C_{ds} 、栅漏极间电容 C_{gd} 、源极线路上的杂散电感 L_s 和漏极线路上的杂散电感 L_d ，驱动回路杂散电感 L_g 。

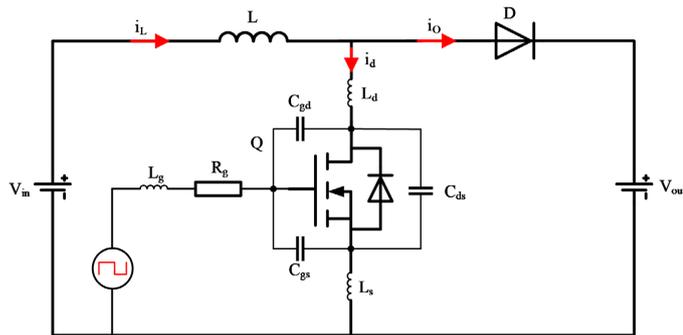


Figure 2. Topology diagram of Boost topology
图 2. Boost 电路拓扑图

根据电压和电流的状态，SiC MOSFET 的关断过程分为 4 个阶段[5]，如图 3 所示。

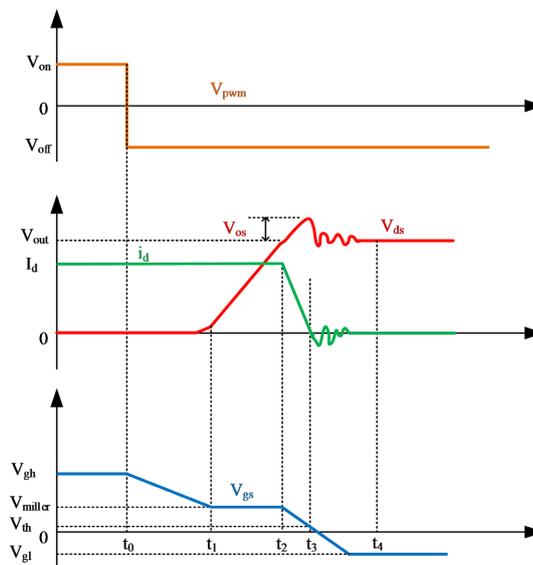


Figure 3. Shutdown process diagram of SiC MOSFET
图 3. SiC MOSFET 的关断过程图

2.1. 关断延时阶段($t_0 \sim t_1$)

在 t_0 时刻, 驱动信号 V_{pwm} 由高电平变为低电平, 输入电容 C_{iss} ($C_{iss} = C_{gs} + C_{gd}$) 通过栅极驱动电阻 R_g 、栅极杂散电感 L_g 和漏极杂散电感 L_s 进行放电。在该阶段, 漏极电流 i_d 为恒定值, 栅源极电压 V_{gs} 逐渐下降至米勒电压 V_{miller} , 对回路列写 KVL 方程, 可得:

$$V_{gl} = R_g i_g + V_{gs} + L_g \frac{di_g}{dt} + L_s \frac{di_d}{dt} \quad (1)$$

其中, V_{gl} 是驱动电压的低电平, 栅极电流 i_g 由式(2)计算得到。

$$i_g = C_{iss} \frac{dV_{gs}}{dt} \quad (2)$$

2.2. 关断延时阶段($t_1 \sim t_2$)

在此阶段内, SiC MOSFET 的栅源极电压 V_{gs} 和漏极电流 i_d 保持不变, V_{ds} 快速上升, 直至达到 V_{out} 。在此阶段, SiC MOSFET 完成线性区到饱和区的过渡。电压的变化率 dv_{ds}/dt 可由公式(3)计算得到。

$$\frac{dV_{ds}}{dt} = \frac{i_g}{C_{gd}} \quad (3)$$

2.3. 电流下降阶段($t_2 \sim t_3$)

在该阶段, 漏极电流 i_d 开始下降, 二极管 D 正向导通, 负载电流从开关管 Q 向二极管 D 转移。栅源极电压 V_{gs} 继续下降, 直至达到阈值电压 V_{th} , SiC MOSFET 关断, 漏极电流 i_d 降为 0。

根据开关管 Q 的传输特性, 该阶段漏极电流 i_d 的变化率为:

$$\frac{di_d}{dt} = g_m \frac{dV_{gs}}{dt} \quad (4)$$

其中, g_m 是 SiC MOSFET 的跨导。

由式(1)、(2)和(4)可得, 漏极电流 i_d 的变化率和驱动电压 V_{gl} 的关系式为:

$$\frac{di_d}{dt} = \frac{V_{gl} - V_{gs}}{R_g g_m / C_{iss} + L_g} \quad (5)$$

此阶段, 由于漏极电流 i_d 的快速变化, 会在电路的杂散电感上产生压降, 这部分电压叠加到 SiC MOSFET 的 D、S 之间, 就会产生较大的电压尖峰。由于 di/dt 较高, 寄生电感将产生较大的压降, 从而导致设备 V_{os} 的电压过高。忽略二极管 D 的导压降, 根据 KVL 可得:

$$V_{os} = V_{ds} - V_{dc} = -L_p \frac{di_d}{dt} \quad (6)$$

其中, L_p 是回路中杂散电感的总和。

$$L_p = L_s + L_d \quad (7)$$

2.4. 电流下降阶段($t_3 \sim t_4$)

在此阶段, 栅源极电压 V_{gs} 继续下降至 V_{gl} , SiC MOSFET 完全关断。 V_{ds} 因主回路中的阻尼形成衰减振荡, 如式(8)所示。变化的漏源电压 V_{ds} 作用在输出电容 C_{oss} 上, 漏极电流 i_d 在下降到零后同样会形成衰减振荡, 如式(9)所示。

$$V_{ds} = V_{out} + V_{os} e^{-\alpha(t-t_4)} \cos[\omega(t-t_4)] \quad (8)$$

$$i_d(t) = C_{oss} \frac{dv_{ds}}{dt} \quad (9)$$

其中, α 、 ω 、 C_{oss} 的求解式分别为:

$$\alpha = \frac{R_{stray}}{2L_p} \quad (10)$$

$$\omega = \sqrt{\frac{1}{C_{oss}L_p} - \alpha^2} \quad (11)$$

$$C_{oss} = C_{gd} + C_{ds} \quad (12)$$

通过对关断过程的分析可知, 电压尖峰发生在电流下降阶段, 主要由该阶段的高 di/dt 引起。此外, 电压尖峰过高也与关断速度 dV/dt 有关。因此, 在抑制电压尖峰时可从这几个方面考虑: 减小线路中的杂散电感; 减小 SiC MOSFET 关断前的电流; 降低 SiC MOSFET 的关断速度。

3. 电压尖峰抑制方法

3.1. 减小 SiC MOSFET 关断时的电流

在工程应用中, 减小 SiC MOSFET 关断时电流的方法有很多, 如增加 RC 吸收电路、RCD 吸收电路、箝位式 RCD 吸收电路[6]。在这几种吸收电路中, RC 吸收电路器件数量较少、体积较小, 基本不会影响 PCB 板布局的紧凑性, 同时与其它吸收电路相比产生的额外损耗也不会很大, 因此 RC 吸收电路常用于减小 SiC MOSFET 关断时的电流。

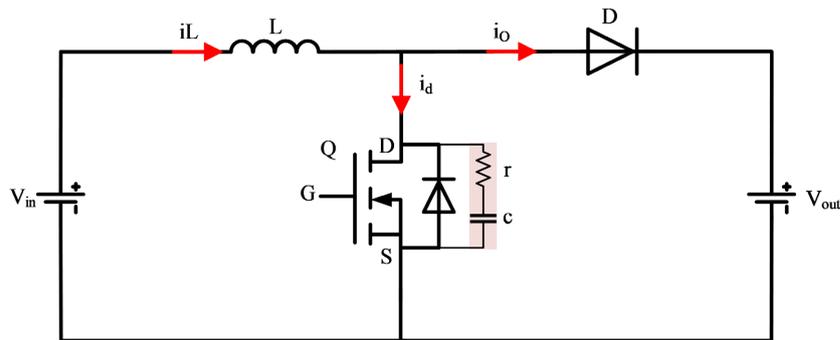


Figure 4. Boost converter with added RC absorption circuit

图 4. 增加 RC 吸收电路后的 Boost 变换器图

如图 4 所示为增加 RC 吸收电路后的 Boost 变换器图, 在开关管 Q 关断时, 缓冲电容 C 吸收额外电荷, 减缓电压上升速度; 在开关管 Q 关断后, 缓冲电容 C 可阻断寄生参数形成的谐振回路, 抑制电压和电流的振荡。开关管 Q 导通时, 缓冲电容 C 吸收的能量通过缓冲电阻 R 与开关管 Q 形成放电回路。缓冲电阻的使用, 虽然减缓了开关管 Q 关断时电容 C 吸收电荷的速度, 但在开关管 Q 导通时, 能够增大开关器件的电流应力。因此在工程应用过程中, 要根据实际工况对 R 和 C 的取值进行权衡[7]。

3.2. 降低 SiC MOSFET 的关断速度

在应用中, 将开关管 Q 开关过程中的 dV/dt 控制在一定的限值是非常重要的, 特别是对于开关速度

快的 SiC 器件, 可将电压尖峰控制在合理范围内。由公式(13)中各参数间的关系可知, 增大 R_g 和 C_{gd} 都能够降低 dV/dt [8]。其中, 对于 Si MOSFET 和 IGBT, 增大驱动电阻 R_g 的阻值是降低 dV/dt 最常用的方法, 但对于 SiC MOSFET, 其对线路中的杂散电感较为敏感。当线路中杂散电感较大时, 通过适当的增加栅极电阻的值, 无法将 dV/dt 控制在合适的范围, 若通过进一步增大 R_g 的值降低 dV/dt , R_g 较大的阻值会带来额外的损耗, 降低系统效率。

$$\frac{dV}{dt} = \frac{V_g - V_{miller}}{C_{gd} * R_g} \tag{13}$$

通过实际应用发现, 如图 5 在 SiC MOSFET 的栅极和漏极之间并接外部电容 C_{gdext} 的方式, 增大 C_{gd} 的值可有效降低 SiC MOSFET 的开关速度, 同时不会产生过多的损耗。

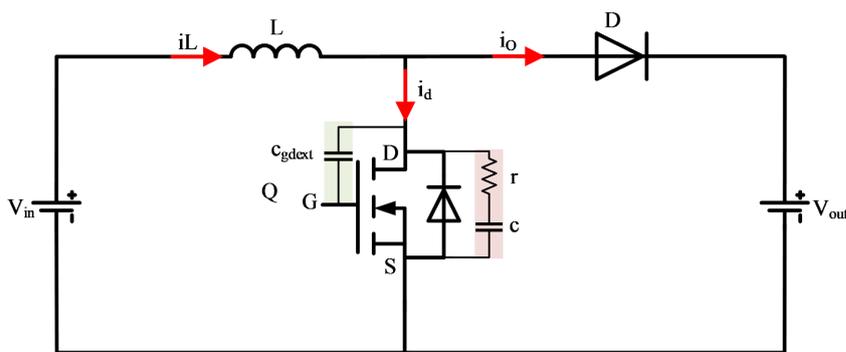


Figure 5. Boost converter with c connected in parallel between DG
图 5. DG 间接 C_{gdext} 后的 Boost 变换器图

4. 试验验证及分析

4.1. RC 吸收电路的效果验证

按照表 1 所示的试验参数, 在输入电压 200 V, 输出电压 400 V, 输入电流 300 A 的工况下, 分别对 SiC MOSFET 的 DS 两端无 RC 吸收和并联 RC 吸收对电压尖峰的抑制效果进行验证。

Table 1. Test parameters

表 1. 试验参数

参数	参数值
L1_1、L1_2 的自感值	200 uH
L1_1 与 L1_2 间互感系数	0.6
驱动电阻 R_g	10 Ω
开关频率 f_s	50 kHz

图 6 为 SiC MOSFET 的 DS 两端未并接 RC 吸收电路的试验结果, 由试验结果可知此时 V_{DS} 的尖峰电压为 588 V; 图 7 为 SiC MOSFET 的 DS 两端并接 RC ($R = 5 \Omega$, $C = 1 \text{ nF}$) 吸收电路的试验结果, 从由试验结果可知此时 V_{DS} 的尖峰电压为 498 V。由试验结果对比可知, RC 吸收电路能够很好的降低电压尖峰。

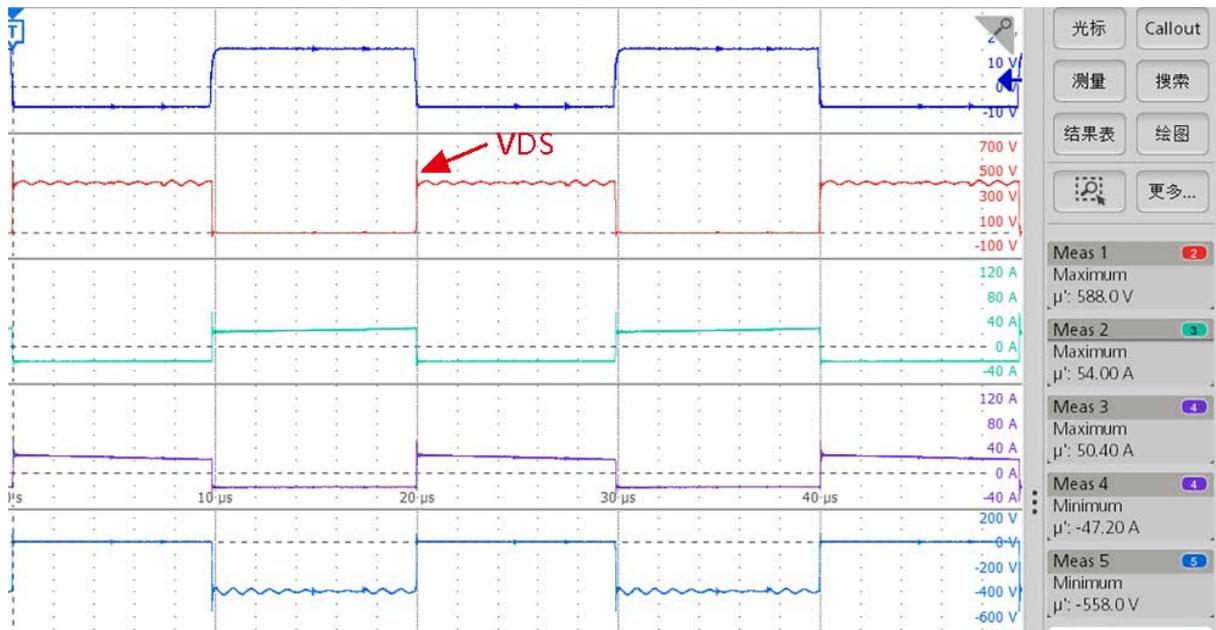


Figure 6. Waveform without RC absorption at both ends of DS

图 6. DS 两端未并接 RC 吸收的波形图

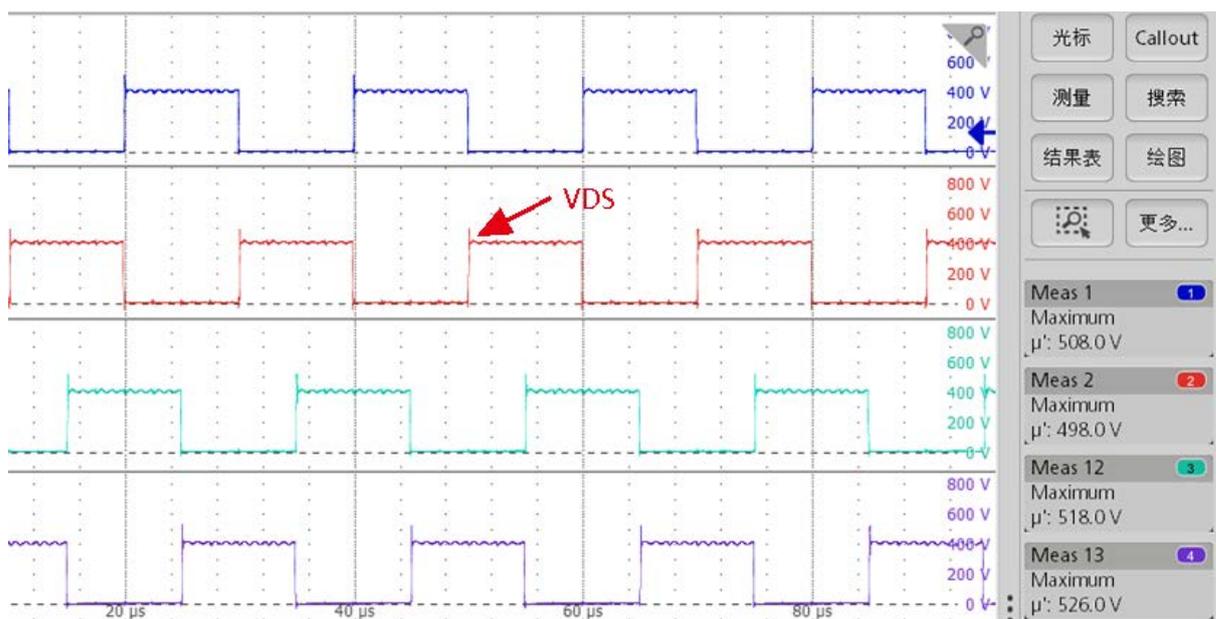


Figure 7. Waveform with RC absorption at both ends of DS

图 7. DS 两端并接 RC 吸收的波形图

4.2. 增大 C_{gd} 的效果验证

在 SiC MOSFET 的 DS 两端并接 RC 吸收电路的基础上, 将输出电压增大到 600 V, 发生 SiC MOSFET 击穿。针对该工况存在的问题, 通过截取图 8 所示的 SiC MOSFET 关断时的细节波形, 发现 dV/dt 的值为 35.75 V/ns, 经分析后确认为 dV/dt 过大导致。因此, 在 dV/dt 过大时, 单纯在 DS 两端并接 RC 吸收电路无法将 SiC MOSFET 的关断尖峰控制在安全范围内。

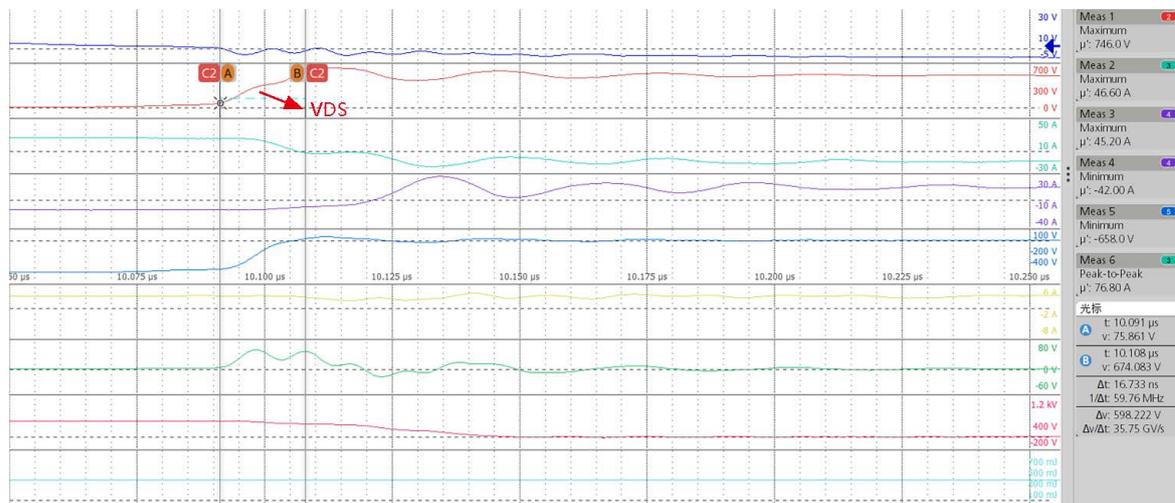


Figure 8. The detailed waveform of the turn-off of the non parallel capacitor between the DG of SiC MOSFET
图 8. SiC MOSFET 的 DG 间未并接电容关断时的细节波形图

为降低 SiC MOSFET 关断时的 dV/dt , 在 DG 间并接 68 pF 容值的电容, 由图 9 中的试验结果可知, 此时 dV/dt 的值为 18.75 V/ns, 与图 8 中的测试结果相比, dV/dt 的值有了明显降低, 且尖峰电压 V_{DS} 也由 746 V 降为 704 V。

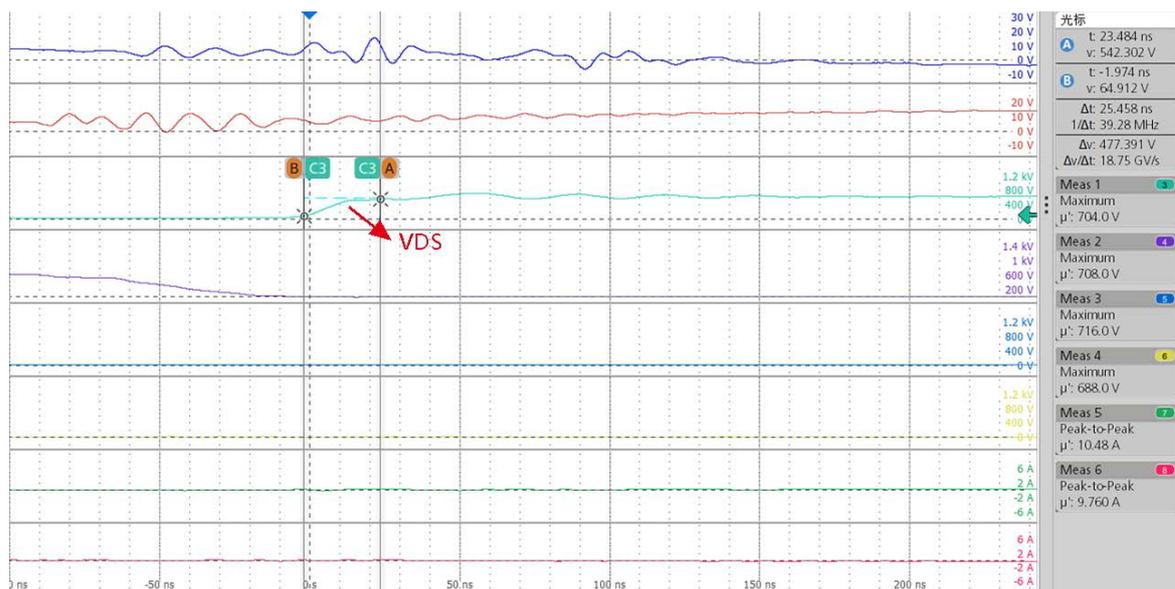


Figure 9. The detailed waveform of the turn-off of the parallel capacitor between the DG of SiC MOSFET
图 9. SiC MOSFET 的 DG 间并接电容关断时的细节波形图

通过上述试验验证发现, 在 dV/dt 较小时在 SiC MOSFET 的 DS 间并接 RC 吸收电路, 能够有效降低 DS 间的电压尖峰, 若 dV/dt 过大时, 单纯通过调节 RC 吸收电路的参数无法有效降低 DS 间的电压尖峰。此时, 就要先采用在 DG 间并接电容的方法, 将 dV/dt 控制在合适的范围, 然后再调节 RC 参数。

5. 结论

本文针对 SiC MOSFET 关断过程中出现的电压尖峰和振荡问题, 对 SiC MOSFET 关断时电压尖峰和

振荡的产生机理进行了分析,给出了影响电压尖峰和振荡的三种主要因素。针对这些主要因素,分别提出了相应的抑制方法,最后通过搭建仿真模型和试验平台,验证了所提方法对抑制电压尖峰和振荡的有效性。

参考文献

- [1] 冯超,李虹,蒋艳锋,等.抑制瞬态电压电流尖峰和振荡的电流注入型 SiC MOSFET 有源驱动方法研究[J].中国电机工程学报,2019,39(19):5666-5673+5894.
- [2] 张晓娟,景博,张劼,等.应用于弹载 SiC MOSFET 的 RC 吸收电路的设计与优化[J].电子器件,2022,45(4):810-815.
- [3] 王文月,牛萍娟.抑制 SiC MOSFET 瞬态电压尖峰的改进驱动电路设计[J].科技创新与应用,2021,11(14):21-23+27.
- [4] Camacho, A.P., Sala, V., Ghorbani, H. and Martinez, J.L.R. (2017) A Novel Active Gate Driver for Improving SiC MOSFET Switching Trajectory. *IEEE Transactions on Industrial Electronics*, **64**, 9032-9042. <https://doi.org/10.1109/TIE.2017.2719603>
- [5] Liu, S.S., Lin, H. and Wang, T. (2019) Comparative Study of Three Different Passive Snubber Circuits for SiC Power MOSFETs. 2019 *IEEE Applied Power Electronics Conference and Exposition (APEC)*, Anaheim, 17-21 March 2019, 354-358. <https://doi.org/10.1109/APEC.2019.8722302>
- [6] 施洪亮,罗德伟,王佳佳,等.SiC-MOSFET 开关模块 RC 缓冲吸收电路的参数优化设计[J].控制与信息技术,2021(2):61-66. <https://doi.org/10.13889/j.issn.2096-5427.2021.02.010>
- [7] 卞正达,黄天一,徐长福,等.针对碳化硅器件的高频逆变器缓冲电路设计[J].电力工程技术,2019,38(6):167-172.
- [8] Li, Z., Bhalla, A., Losee, P. and Zhu, K. (2020) dV/dt Control Methods for UnitedSiC SiC FETs with Internal Cascode Structure. *PCIM Europe Digital Days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Germany, 7-8 July 2020, 1-7.