

基于全自旋逻辑器件的三输入奇偶校验器设计及其时钟控制方法

李佳起

大连东软信息学院智能与电子工程学院, 辽宁 大连

收稿日期: 2024年2月29日; 录用日期: 2024年5月8日; 发布日期: 2024年5月16日

摘要

目前已有的奇偶校验器一般是基于CMOS器件技术来构造的, 具有功耗高、版图面积大等问题。而自旋电子器件是利用电子自旋来表征信息, 具有超低功耗、抗辐射、非易失性等优点, 适用于构建逻辑电路。鉴于此, 本文根据全自旋逻辑器件构建了三输入奇偶校验器, 并提出了一种时钟控制方法。与传统的CMOS器件技术构造的奇偶校验器相比, 基于全自旋逻辑器件的三输入奇偶校验器在信息处理、传输和存储等过程都使用电子自旋, 无需附加额外的硬件结构来进行自旋信息和电荷信息间的不断转换, 有着结构简单、功耗更低等优点, 将是后CMOS时代的一个重要候选者。

关键词

全自旋逻辑, 时钟控制, 奇偶校验器

Design of a Three-Input Parity Checker Based on an All-Spin Logic Device and Its Clock Control Methodology

Jiaqi Li

School of Intelligence and Electronic Engineering, Dalian Neusoft University of Information, Dalian Liaoning

Received: Feb. 29th, 2024; accepted: May 8th, 2024; published: May 16th, 2024

Abstract

The existing parity checkers are generally constructed based on CMOS device technology, which has problems such as high power consumption and large layout area. Spintronic devices, on the

other hand, use electron spins to characterize information, and have the advantages of ultra-low power consumption, radiation resistance, non-volatility, etc., which are suitable for constructing logic circuits. In view of this, this paper constructs a three-input parity checker based on the full spin logic device and proposes a clock control method. Compared with the parity checker constructed by the traditional CMOS device technology, the three-input parity checker based on the full spin logic device uses the electron spins in the process of information processing, transmission, and storage, and does not need to attach additional hardware structures to carry out the continuous conversion between the spin information and charge information, which has the advantages of simple structure, power consumption, and low power consumption. With the advantages of simple structure and lower power consumption, it will be an important candidate in the post-CMOS era.

Keywords

All Spin Logic, Clock Control, Parity Checker

Copyright © 2024 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

电子具备电荷和自旋这两大固有属性，但传统的 CMOS 器件技术还是主要依赖于电子电荷来描述和处理相关信息。受到电子引发的隧道效应、功率损耗和传输延迟等多重因素的影响，这些技术正逐步接近其在物理方面的极限状态。在最近几年中，人们逐渐开始研究如何通过调整电子的运动状态来对信号或能量进行有效调控。与传统的 CMOS 器件技术相比，自旋电子器件主要利用电子自旋来表示信息，且具有几个显著的优点：首先，它们利用电子隧穿来产生自旋电流，而不是通过抑制电子隧穿来产生自旋电流。当 CMOS 器件的特性尺寸进一步缩小时，自旋电子器件将不再需要面对物理尺寸极限的挑战；第二，自旋电子器件通常具有零静态功耗和极低动态功耗的优点，这使得功耗问题得到了有效的缓解；第三点是，自旋电子器件能够与电路直接连接，这解决了在设计过程中需要考虑的电路设计、制造工艺以及封装流程等多个复杂问题；第四点是，自旋电子器件通常利用纳磁体的磁矩来存储数据，通过输入接口电路传输信息，这种非易失性有助于采纳 CMOS 器件难以应用的内部存储逻辑结构，从而规避了全局互连的问题，并进一步解决了全局互连延迟的难题。如前所述，这些优点预示自旋电子器件有潜力成为未来电子设备的核心选择[1] [2] [3]。

在自旋电子学的研究中，如何达到高效且低能耗的操作方式一直是众多研究者关注的焦点。自旋电子器件以其低功耗、高集成度和低成本的优势得到越来越多研究者的关注与青睐，并取得一系列重要研究进展。迄今为止，已经提出了大量具有创新性的自旋电子器件，这些器件包括纳磁逻辑[4]、自旋场效应晶体管[5]、自旋波器件[6]、磁畴壁逻辑器件[7]以及全自旋逻辑器件(All Spin Logic Device ASLD) [8]等。这些新型自旋电子器件具有低功耗、高效率、低成本和易于集成等优点，为自旋电子学技术带来新的挑战与机遇。在这其中，以磁性半导体材料为基础的自旋电子学成为了研究焦点，其进展主要聚焦于如何成功实施自旋电子开关和如何搭建高效的自旋电子学器件。

需要特别强调的是，ASLD 由于其在自旋信息和电荷信息转换过程中无需额外的硬件设置，因此具有结构简洁、能量消耗极低以及非易失性等优点，这一点吸引了众多学者的研究兴趣。因此，基于全自

旋逻辑器件构建更为完善的电路逻辑网络成为全自旋逻辑电路发展的方向之一。目前，基于全自旋逻辑器件的电路结构设计研究还相对较少，已知的电路结构主要包括反相器、择多逻辑门、全加器、RS 触发器、D 触发器、数值比较器、译码器、编码器等[8]-[14]，但作为数字逻辑电路中的一个重要组成部分——奇偶校验器还未见报道。因此，本文设计了一种基于全自旋逻辑器件的三输入奇偶校验器，这对于基于 ASLD 器件构建更完整的逻辑电路具有重要的意义。

2. 基于 ASLD 的三输入奇偶校验器设计

2.1. 电路原理

全自旋逻辑(All Spin Logic, ASL)电路与传统的 CMOS 电路不同，基本逻辑门不再是与非门，而是反相器和择少/择多逻辑门。对于择少逻辑门来说，当输入中 0 占多数时，输出为 1，当 1 占多数时，输出为 0；而对于择多逻辑门，结果正好相反。因此，为了避免输入中 0 和 1 占比恰好相等进而导致输出错误的情况，择少/择多逻辑门的输入个数通常是奇数个。一般来说，可以实现 3 输入、5 输入、7 输入等择少/择多逻辑门，可用 $M_3(\bar{M}_3)$ 、 $M_5(\bar{M}_5)$ 、 $M_7(\bar{M}_7)$ 来表示，这里通过统一使用五输入择少逻辑门与七输入择少逻辑门，可对三输入奇偶校验器进行更好的时钟控制。

对于五输入择少逻辑门，其逻辑表达式为：

$$\bar{M}_5(A, B, C, D, E) = \overline{ABC + ABD + ABE + ACD + ACE + ADE + BCD + BCE + BDE + CDE} \quad (1)$$

其中五输入择少逻辑门的两个输入端 D 和 E 置 1 时，可实现三输入或非操作，其逻辑表达式为：

$$\bar{M}_5(A, B, C, 1, 1) = \overline{A + B + C} = \overline{ABC} \quad (2)$$

同样地，对于七输入择少逻辑门，若将其三个输入端 E 、 F 与 G 置 1 时，可实现四输入或非操作，其逻辑表达式为：

$$\bar{M}_7(A, B, C, D, 1, 1, 1) = \overline{A + B + C + D} = \overline{ABCD} \quad (3)$$

图 1 为基于全自旋逻辑器件的三输入奇偶校验器平面示意图，其中 Gate1 到 Gate4 是五输入择少逻辑门，Gate5 是七输入择少逻辑门，Gate6 是反相器。另外，箭头表示磁体的磁矩方向，其中双向箭头表示磁矩方向待定，单向箭头表示磁矩方向确定，用指向 -x 轴方向表示逻辑 0，指向 +x 轴方向表示逻辑 1，根据图 1 所示平面电路图可更直观了解三输入奇偶校验器的公式推理及输出过程。

利用五输入择少逻辑门，七输入择少逻辑门和反相器，可以得到三输入奇偶校验器的两个输出端的逻辑表达式为：

$$\begin{aligned} Y &= M_7\left(M_5(A, B, C, 1, 1), M_5(A, \bar{B}, \bar{C}, 1, 1), M_5(\bar{A}, B, \bar{C}, 1, 1), M_5(\bar{A}, \bar{B}, C, 1, 1), 1, 1, 1\right) \\ &= \overline{\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}} = \overline{ABC + \overline{ABC} + \overline{ABC} + \overline{ABC}} \end{aligned} \quad (4)$$

$$\begin{aligned} Z &= \bar{Y} = M_7\left(M_5(A, B, C, 1, 1), M_5(A, \bar{B}, \bar{C}, 1, 1), M_5(\bar{A}, B, \bar{C}, 1, 1), M_5(\bar{A}, \bar{B}, C, 1, 1), 1, 1, 1\right) \\ &= \overline{\overline{\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}}} = \overline{\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC}} \end{aligned} \quad (5)$$

另外，由式(4)、(5)可得其真值表如表 1 所示。

由表 1 可看出，在 A 、 B 、 C 中 1 的个数为奇数时，输出 Y 为 1；在 A 、 B 、 C 中 1 的个数为偶数时，输出 Z 为 1。

Table 1. Three-input parity checker truth table
表 1. 三输入奇偶校验器真值表

A	B	C	Y	Z
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

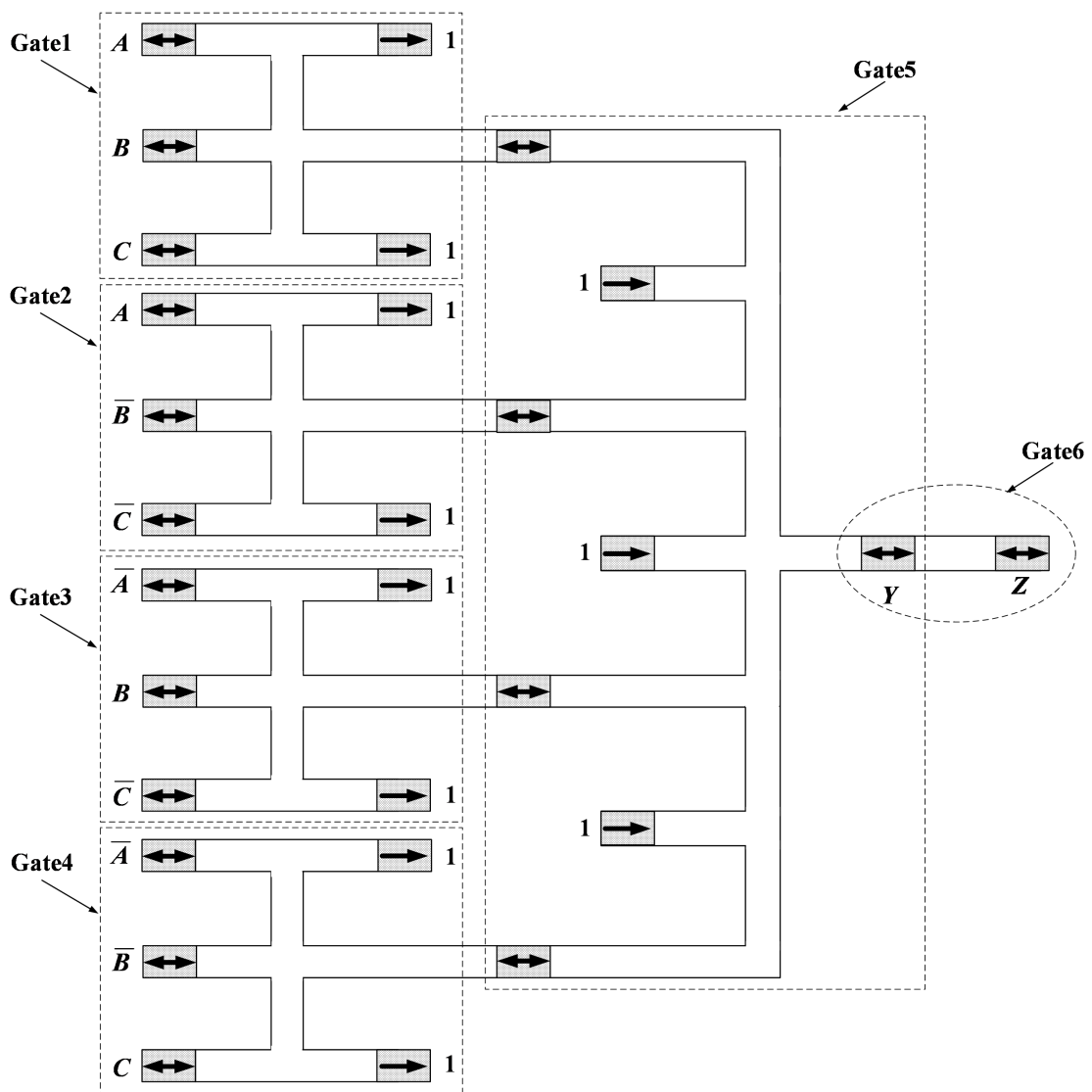


Figure 1. Three-input parity checker planar schematic based on full spin logic device
图 1. 基于全自旋逻辑器件的三输入奇偶校验器平面示意图

2.2. 电路实现及工作原理

在 ASL 电路设计中,信息的表示并不是基于电压的高低,而是通过磁体的磁矩方向来进行的。因此,在驱动电路运行的过程中,除了需要输入电压信号外,还必须为磁体设定一个初始的磁矩方向。我们采用输入接口电路为电路供应输入信号,并在下面对其各自的功能做了详细描述。

输入接口电路如图 2 所示,其中磁隧道结(Magnetic Tunnel Junction, MTJ)的固定层磁矩保持不变,而 MTJ 的自由层作为 ASL 器件的输入端,通过在改变加在 MTJ 上电压 V_{MTJ} 的极性可改变自由层的磁矩方向,进而实现对 ASL 器件输入逻辑 0 或逻辑 1。

为了确保输入接口电路的正常运行,需要让 MTJ 上的电压 V_{MTJ} 与 ASL 上的电压 V_{ASL} 各自独立工作。首先,在 MTJ 的两侧施加电压 V_{MTJ} ,此时的 V_{ASL} 等于 0 V。在 V_{MTJ} 电压为正电压的情况下,自由层的磁矩与固定层是相反的;但在 V_{MTJ} 电压为负电压的情况下,自由层的磁矩与固定层保持一致。在完成自由层磁矩的写入后,将 V_{MTJ} 设置为 0 V。此时,在自由层和输出端的磁体上都会添加电压源 V_{ASL} 。当电压源 V_{ASL} 为正电压时,输出端的磁矩与自由层是相反的;而当电压源 V_{ASL} 为负电压时,输出端的磁矩与自由层保持一致,从而实现了从自由层到输出端的信号传输。

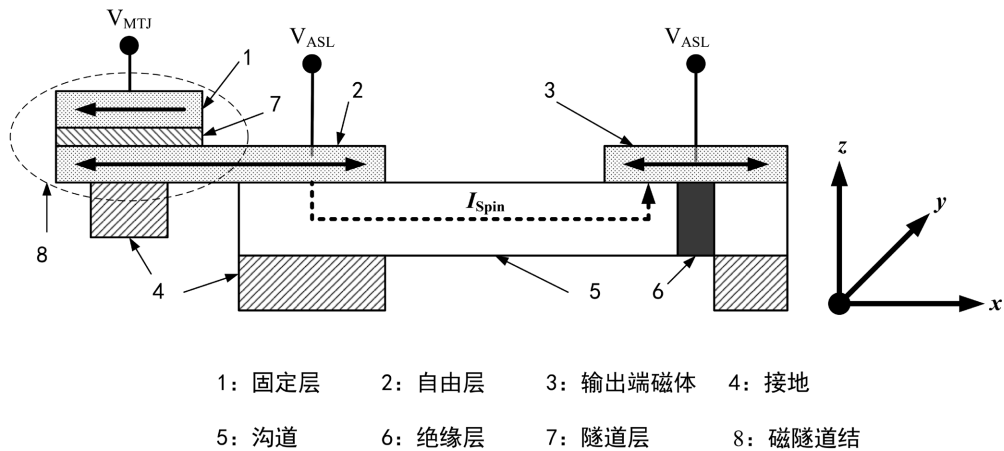


Figure 2. ASL device with input interface
图 2. 带输入接口的 ASL 器件

五输入择少逻辑门是实现逻辑运算的核心器件,其平面示意图如图 3 所示。

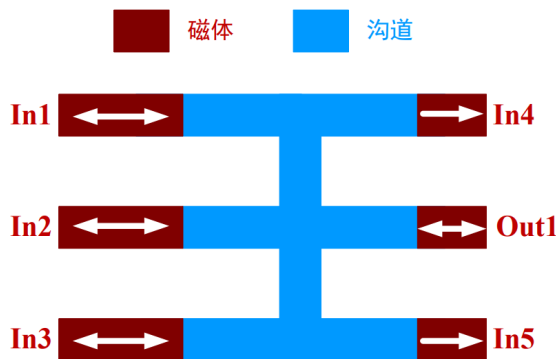


Figure 3. Schematic diagram of a five-input selective logic gate plane
图 3. 五输入择少逻辑门平面示意图

图 3 中, In1~In5 分别表示 5 个输入端, Out1 表示输出端。白色箭头表示磁矩方向, 其中双向箭头表示磁矩方向待定, 单向箭头表示磁矩方向固定。要注意的是, 输入端 In1、In2 和 In3 分别通过输入接口与 C、B 和 A 相连, 其磁矩方向由加在 MTJ 上的电流方向和 MTJ 固定层磁矩方向共同决定。而输入端 In4 和 In5 的磁矩方向指向+x 轴方向, 表示输入逻辑 1。通过在磁体上加上正的工作电压, 上述结构可实现式(2)所示五输入择少逻辑功能。

七输入择少逻辑门的平面示意图如图 4 所示。

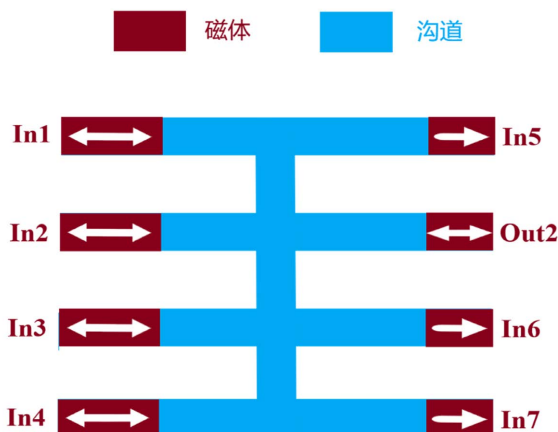


Figure 4. Schematic diagram of a seven-input selective logic gate plane
图 4. 七输入择少逻辑门平面示意图

在图 4 里, In1 至 In7 代表 6 个输入端, 而 Out2 则代表输出端。输入端的 In5、In6 和 In7 的磁矩方向是+x 轴方向, 这代表了输入逻辑 1。通过在磁体上施加正向的工作电压, 可以实现上述结构所示的七输入择少逻辑功能。

图 5 展示了一个基于 ASL 器件的三输入奇偶校验器的三维结构图。磁体层一般是由具有水平方向异质性的铁磁材料构成的, 例如镍、钴以及坡莫合金[15]。沟道层通常由具有较长自旋扩散长度的金属或半导体组成, 例如铜、铝、银、硅和石墨烯[16] [17] [18] [19]。通常, 接地层是由电阻率相对较低的金属元素, 例如铜和银, 组成的。为了保证信号在传输过程中不会出现倒易性, 隔离层被精心设计成了一层绝缘材料[9]。

从图 6 展示的逻辑电路图中, 我们可以观察到, 为了实现三输入奇偶校验器, 不仅需要原始变量, 还需要反变量。通常的方法是利用反相器来处理原始变量。在本文中, 我们通过比较输入接口中 MTJ 固定层的磁矩方向来实现原始变量和反变量的输入, 从而避免了使用额外的反相器, 极大地简化了电路的结构。具体的操作方式是, 如果输入信号呈现为原始变量, 那么输入接口的固定层的磁矩会指向-x 轴; 而如果输入信号呈现为反变量, 那么输入接口的固定层磁矩则会指向+x 轴。

从整体和平面的电路图中, 我们可以观察到三输入奇偶校验器是由 4 个五输入择少逻辑门、1 个七输入择少逻辑门以及 1 个反相器组成的。在 Gate1 中, A、B、C 都是以原始变量的方式呈现, 因此连接在 A、B、C 端的 MTJ 固定层的磁矩都是朝向-x 轴的方向。对于 Gate2, A 是以原始变量的方式呈现, 而 B、C 则是以反变量的方式呈现。因此, 与 A 端连接的 MTJ 固定层的磁矩是朝向-x 轴的方向, 而与 B 和 C 端连接的 MTJ 固定层的磁矩则是朝向+x 轴的方向。在 Gate3 中, B 是以原始变量的方式呈现, 而 A 和 C 则是以反变量的方式呈现。因此, 与 B 端连接的 MTJ 固定层的磁矩是朝向-x 轴的方向, 而与 A 和 C 端连接的 MTJ 固定层的磁矩则是朝向+x 轴的方向。在 Gate4 中, C 以原始变量的方式呈现, 而 A 和 B

则以反变量的方式呈现。因此，与 C 端连接的 MTJ 固定层的磁矩是朝向 -x 轴的方向，而与 A 和 B 端连接的 MTJ 固定层的磁矩则是朝向 +x 轴的方向。另外，在 Gate1 至 Gate4 的输入端，In1 和 In5 均为输入 1，这意味着磁体的磁矩都是固定在 +x 轴的方向上。

此外，从 Gate1 到 Gate4 的输出端分别作为 Gate5 的四个输入端 In1~In4，而其他三个输入端 In5、In6 和 In7 都是输入 1，因此它们的磁体磁矩都是固定指向 +x 轴方向的。

从公式中我们可以得知，偶校验位 Z 实际上是奇校验位 Y 的逆变量，我们可以使用反相器 Gate6 来从 Y 中反推出 Z。

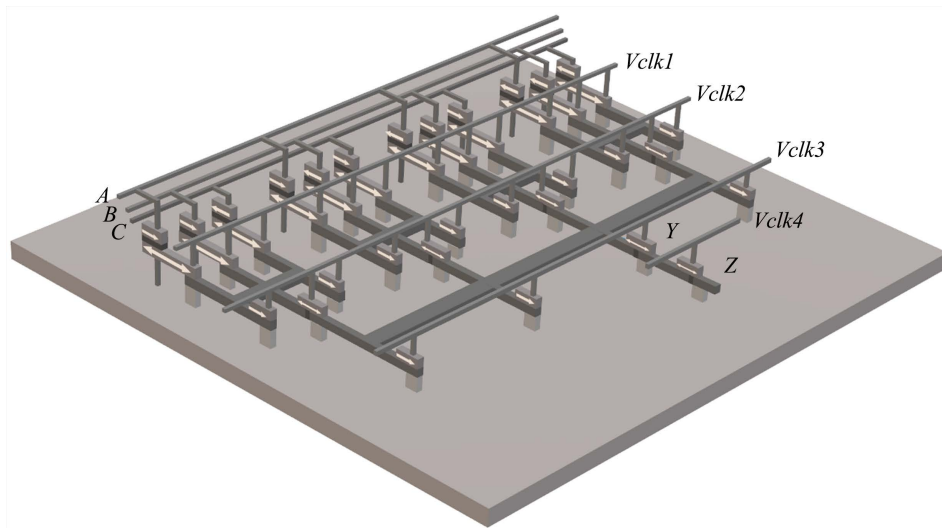


Figure 5. Overall layout of a three-input parity checker based on an all-spin logic device
图 5. 基于全自旋逻辑器件的三输入奇偶校验器整体布局图

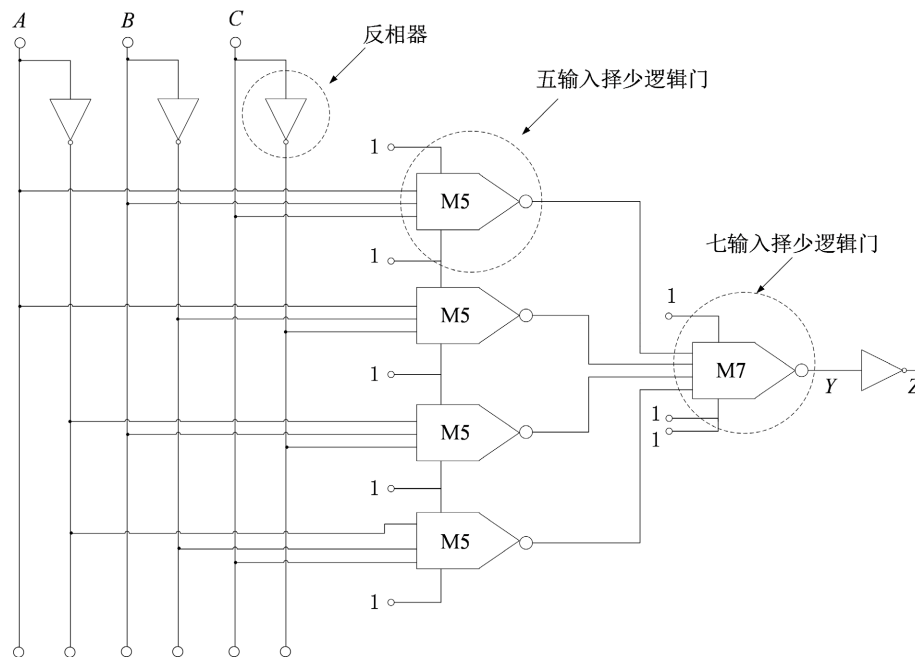


Figure 6. Three-input parity checker circuit schematic
图 6. 三输入奇偶校验器电路原理图

3. 基于 ASLD 的三输入奇偶校验器的时钟控制流程

MTJ 自由层磁矩的转换时间以及 ASL 器件信号传输延迟时间一般为纳秒级。MTJ 的工作电压一般小于 1 V，而 ASL 的工作电压一般为毫伏级。因此，为说明问题的方便，后面我们假设每种信号的持续时间为 2 ns，加在 MTJ 上的电压幅度为 0.1 V，加在 ASL 器件上的电压幅度为 10 mV。

要让奇偶校验器能正常工作，还需要给电路加上适当的控制信号，其输入信号和工作电压先后顺序如图 7 所示。控制方案具体如下：

在 0~2 ns 期间，在 A、B、C 端根据输入信号加载电压，如果输入逻辑 0，则其电压为 -0.1 V，如果输入逻辑 1，则电压为 0.1 V。(有必要说明的是，在 0~2 ns 期间，A、B、C 端上电压的高低共有 8 种组合情况，代表着奇偶校验器 3 个输入端的 8 种输入情况，本图用虚线表示输入可能是 -0.1 V 和 0.1 V 两种不同的情况)。同时，加在 ASL 上的工作电压 V_{CLK1} 到 V_{CLK4} 都为零，择少逻辑门和反相器都不工作。

在 2~4 ns 期间，已完成了信号的输入，让 A、B、C 端上的电压为 0 V，使得 MTJ 自由层磁矩方向保持不变。而时钟信号 V_{CLK1} 、 V_{CLK2} 的电压变为 10 mV，此时 Gate1~ Gate4 开始工作，实现五输入择少逻辑功能，而时钟信号 V_{CLK3} 到 V_{CLK4} 为零，Gate5 和 Gate6 不工作。

在 4~6 ns 期间，A、B、C 端上的电压依然保持为 0 V，而时钟信号 V_{CLK2} 和 V_{CLK3} 的电压设置为 10 mV，时钟信号 V_{CLK1} 、 V_{CLK4} 为零，此时 Gate1~ Gate4 和 Gate6 不工作，Gate5 开始工作，实现了奇校验的输出。

在 6~8 ns 期间，A、B、C 端上的电压依然保持为 0 V，时钟信号 V_{CLK1} 和 V_{CLK2} 为零，此时 Gate1~ Gate5 不工作，而时钟信号 V_{CLK3} 和 V_{CLK4} 的电压设置为 10 mV，此时 Gate6 开始工作，实现了偶校验的输出。

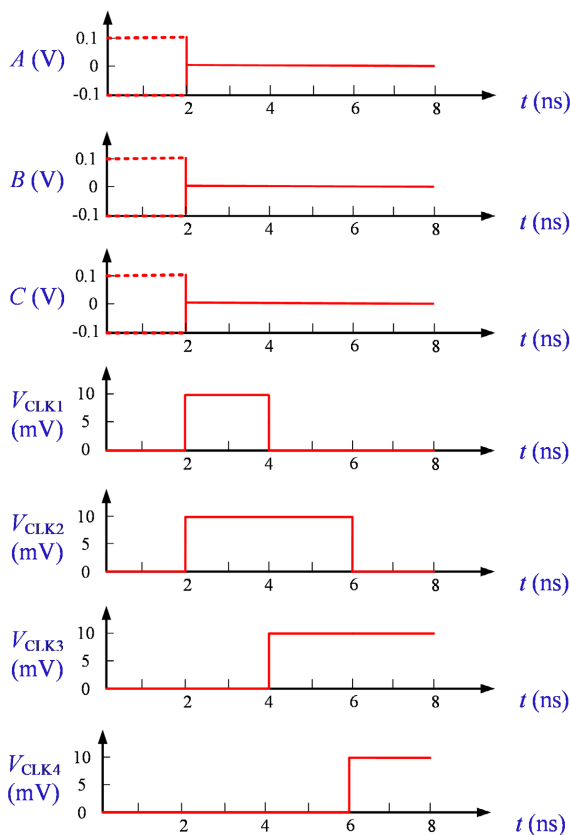


Figure 7. Input signal and operating voltage waveform
图 7. 输入信号和工作电压波形图

4. 总结

本文首先基于全自旋逻辑器件构建了三输入奇偶校验器，与传统的 CMOS 器件技术构造的奇偶校验器相比，基于 ASLD 的三输入奇偶校验器采用了磁隧道结来为电路提供输入信号，通过利用磁隧道结固定层磁矩指向的不同来实现原变量和反变量的输入，避免了额外使用反相器，同时利用了五输入择少逻辑门，七输入择少逻辑门和反相器，极大地减小的电路的结构。其次，说明了利用五输入择少逻辑门，七输入择少逻辑门和反相器构造的三输入奇偶校验器的电路原理，并介绍了 ASL 器件的工作原理与五输入择少逻辑门，七输入择少逻辑门的工作过程。最后，提出了一种时钟控制方法，在每个时钟周期为 2 ns 时，利用四个时钟周期和电压控制，实现了三输入奇偶校验器的奇偶校验输出。利用 ASLD 的超高集成度、超低功耗、抗辐射和非易失等优点，有望在未来设计更大规模，更复杂的全自旋逻辑电路。

参考文献

- [1] Rajput, P.J., Bhandari, S.U. and Wadhwa, G. (2022) A Review on—Spintronics an Emerging Technology. *Silicon*, **14**, 9195-9210. <https://doi.org/10.1007/s12633-021-01643-x>
- [2] Barla, P., Joshi, V.K. and Bhat, S. (2021) Spintronic Devices: A Promising Alternative to CMOS Devices. *Journal of Computational Electronic*, **20**, 805-837. <https://doi.org/10.1007/s10825-020-01648-6>
- [3] Hirohata, A., Yamada, K., Nakatani, Y., et al. (2020) Review on Spintronics: Principles and Device Applications. *Journal of Magnetism and Magnetic Materials*, **509**, Article ID: 166711. <https://doi.org/10.1016/j.jmmm.2020.166711>
- [4] Cowburn, R.P. and Welland, M.E. (2000) Room Temperature Magnetic Quantum Cellular Automata. *Science*, **287**, 1466-1468. <https://doi.org/10.1126/science.287.5457.1466>
- [5] Sugahara, S. and Tanaka, M. (2004) A Spin Metal-Oxide-Semiconductor Field Effect Transistor Using Half-Metallic-Ferromagnet Contacts for the Source and Drain. *Applied Physics Letters*, **84**, 2307-2309. <https://doi.org/10.1063/1.1689403>
- [6] Khitun, A. and Wang, K.L. (2005) Nano Scale Computational Architectures with Spin Wave Bus. *Superlattices and Microstructures*, **38**, 184-200. <https://doi.org/10.1016/j.spmi.2005.07.001>
- [7] Allwood, D.A., Xiong, G., Faulkner, C.C., et al. (2005) Magnetic Domain-Wall Logic. *Science*, **309**, 1688-1692. <https://doi.org/10.1126/science.1108813>
- [8] Behin-Aein, B., Datta, D., Salahuddin, S., et al. (2010) Proposal for an All-Spin Logic Device with Built-In Memory. *Nature Nanotechnology*, **5**, 266-270. <https://doi.org/10.1038/nnano.2010.31>
- [9] Srinivasan, S., Sarkar, A., Behin-Aein, B., et al. (2011) All-Spin Logic Device with Inbuilt Nonreciprocity. *IEEE Transactions on Magnetics*, **47**, 4026-4032. <https://doi.org/10.1109/TMAG.2011.2159106>
- [10] Patra, M. and Maiti, S.K. (2018) All-Spin Logic Operations: Memory Device and Reconfigurable Computing. *Europhysics Letters*, **121**, Article No. 38004. <https://doi.org/10.1209/0295-5075/121/38004>
- [11] Wang, S., Yang, Y., Song, W.B., et al. (2019) All-Spin Logic XOR Gate Implementation Based on Input Interface. *IET Circuits, Device and Systems*, **13**, 607-613. <https://doi.org/10.1049/iet-cds.2018.5187>
- [12] Augustine, C., Panagopoulos, G., Behin-Aein, B., et al. (2011) Low-Power Functionality Enhanced Computation Architecture Using Spin-Based Devices. *Proceedings of IEEE/ACM International Symposium on Nanoscale Architectures*, San Diego, 8-9 June 2011, 129-136. <https://doi.org/10.1109/NANOARCH.2011.5941494>
- [13] Calayir, V., Nikonov, D.E., Manipatruni, S., et al. (2014) Static and Clocked Spintronic Circuit Design and Simulation with Performance Analysis Relative to CMOS. *IEEE Transactions on Circuits and Systems I: Regular Papers*, **61**, 393-406. <https://doi.org/10.1109/TCSI.2013.2268375>
- [14] Wang, S., Cai, L., Feng, C.W., et al. (2017) RS Flip-Flop Implementation Based on All Spin Logic Devices. *Micro & Nano Letters*, **12**, 396-400. <https://doi.org/10.1049/mnl.2016.0589>
- [15] 王森, 蔡理, 崔焕卿, 等. 基于钴和坡莫合金纳磁体的全自旋逻辑器件开关特性研究[J]. *物理学报*, 2016, 65(9): 098501.
- [16] Chang, S.C., Iraei, R.M., Manipatruni, S., et al. (2014) Design and Analysis of Copper and Aluminum Interconnects for All-Spin Logic. *IEEE Transactions on Electron Devices*, **61**, 2905-2911. <https://doi.org/10.1109/TED.2014.2327057>
- [17] Li, C., Cai, L., Wang, S., et al. (2018) Performance Optimization of All-Spin Logic Device Based on Silver Interconnects and Asymmetric Tunneling Layer. *IEEE Transactions on Magnetics*, **54**, Article ID: 3400806.

<https://doi.org/10.1109/TMAG.2018.2825946>

- [18] Chang, S.C., Manipatruni, S., Nikonov, D.E., *et al.* (2014) Design and Analysis of Si Interconnects for All-Spin Logic. *IEEE Transactions on Magnetism*, **50**, Article ID: 3400513. <https://doi.org/10.1109/TMAG.2014.2325536>
- [19] Su, L., Zhao, W.S., Zhang, Y., *et al.* (2015) Proposal for a Grapheme-Based All-Spin Logic Gate. *Applied Physics Letters*, **106**, Article ID: 072407. <https://doi.org/10.1063/1.4913303>