

基于CPU+FPGA的机载可重构信息处理系统研究

杨 兵, 毛 臻, 周永亮, 余国良, 张 诚

中国电子科技集团公司第五十八研究所, 江苏 无锡

收稿日期: 2022年5月11日; 录用日期: 2022年6月15日; 发布日期: 2022年6月22日

摘 要

随着机载电子系统功能日益提升和半导体贸易壁垒加剧, 信息处理系统对性能和自主等方面提出了更高的要求。本文采用CPU+FPGA可重构技术, 设计了一种机载高性能和全自主的信息处理系统, 以国产高性能CPU和FPGA为信息处理核心, 配置大容量内存和高速接口, CPU处理核心16核、单核主频1.5 GHz、内存8 GB, FPGA逻辑门数3250万门, 可满足信息处理高速和实时的要求。该硬件平台已应用于实际机载信息处理系统中, 可重构信息处理能力和可靠性得到验证。

关键词

CPU, FPGA, 可重构, 自主, 信息处理

Study of Airborne Reconfigurable Information Processing System Based on CPU+FPGA

Bing Yang, Zhen Mao, Yongliang Zhou, Guoliang Yu, Cheng Zhang

China Electronics Technology Group Corporation No. 58 Research Institute, Wuxi Jiangsu

Received: May 11th, 2022; accepted: Jun. 15th, 2022; published: Jun. 22nd, 2022

Abstract

Nowadays, the function of airborne electronic equipments is becoming increasingly complicated and the trade barrier of semiconductor is becoming increasingly severe. Therefore, the performance and independent control of signal processing system are harsher. This paper designs an

airborne reconfigurable signal processing system based on CPU+FPGA which has high performance and fully independent control. The core of the system is the FPGA and the DSP fully made in China. The system still includes high-capacity memories and high-speed interfaces. The CPU includes 16 cores and the base frequency of each core is 1.5 GHz. The logic gates of the FPGA are 32.5 million. The system could be implemented to high-speed and real-time applications. This platform has been used in the actual application of airborne signal processing systems, and reconfigurable capability and reliability has been actually verified.

Keywords

CPU, FPGA, Reconfigurable, Independent, Signal Processing

Copyright © 2022 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

机载设备不但需要信息处理系统具备高性能、高灵活、可扩展的特点，同时对系统体积、重量与功耗都有严格的限制[1] [2]。传统的信息处理系统很难实现性能和体积、重量、功耗的均衡设计。可重构设计是一种全新的设计模式，能够根据实际功能需求动态配置电路的实现形式，可有效地提高计算控制系统的资源利用率和降低系统的体积、重量与功耗[3] [4] [5] [6] [7]。采用传统的单处理器构架的机载信息处理系统越来越难以满足日益增长的应用需求[8] [9] [10] [11] [12]。随着中美贸易战日益加剧，中西方半导体技术合作变得越来越困难，国外高端的信息处理器也越来越难以购买。因此，提高机载信息处理系统的可重构能力和国产自主能力具有非常重要意义。CPU 和 FPGA 是国产自主研发的高性能处理器，具有非常强的数据处理和控制能力。本文采用 CPU+FPGA 可重构硬件平台设计技术，充分利用 FPGA 实时处理和 CPU 多核并行处理的能力，满足了机载高性能信息处理系统对实时大数据处理的需求。

2. 系统组成与功能

系统硬件采用 CPU+FPGA 可重构设计技术，主要包括数据处理 CPU 和 FPGA 模块、数据存储模块、程序配置模块和高速接口模块等(图 1)。高性能 CPU 单核主频 1.5 G，处理核心 16 核。高性能 FPGA 逻

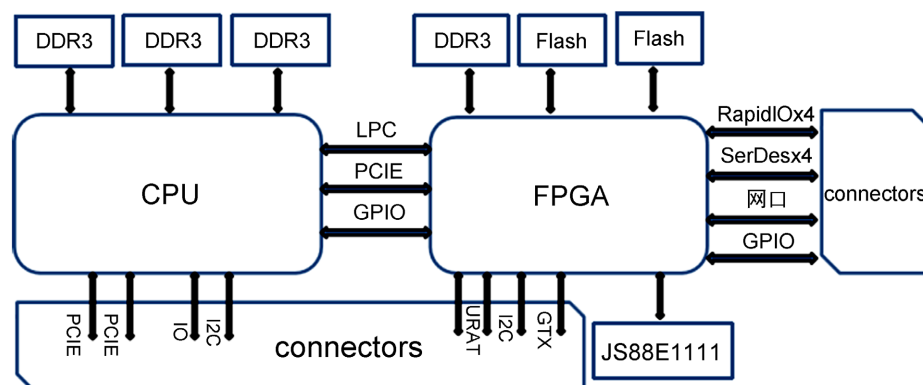


Figure 1. Reconfigurable system based on CPU+FPGA

图 1. CPU+FPGA 可重构系统框图

辑门数 3250 万门。构架以 CPU+FPGA 为核心，FPGA 通过 PCIE 接口实现与 CPU 的高速读写，并通过 FPGA 实现对 CPU 的上电控制。NorFLASH GD25Q256E 用于 FPGA 启动与配置，NorFLASH GD25Q127 用于 CPU 启动与配置，CPU 外扩存储器 DDR3。FPGA 外挂 JS88E1111 千兆以太网接口，DDR3，预留 GPIO、I2C、UART、GTX 接口、PCIE 接口等。

3. 系统硬件设计

3.1. Flash 电路设计

NorFlash GD25Q256E 和 GD25Q127 都外挂上在 FPGA 上，其中 GD25Q256E 用于 FPGA 启动与配置，GD25Q127 用于 CPU 启动与配置。上电时 GD25Q127 内的程序通过 FPGA 自动实现对 CPU 的加载，见图 2。

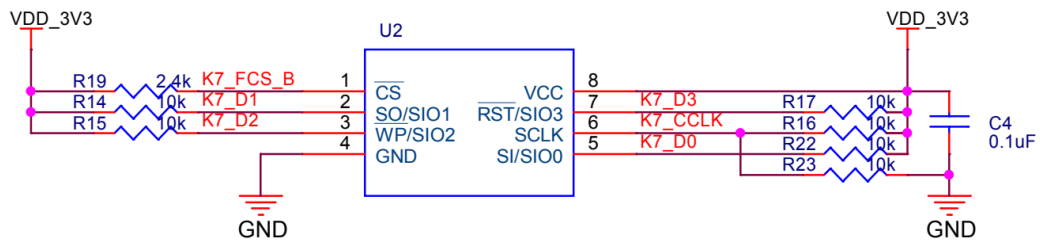


Figure 2. Flash circuit
图 2. Flash 电路设计

3.2. DDR3 电路设计

CPU 3 个 DDR 控制器 MEM0、MEM1 和 MEM2，每个控制器有 16 根地址线，3 根 BANK 地址线，地址命令控制信号以 CK 为参照，通过 39R 电阻上拉到 0.75 V。9 个 DM 控制线配合 9 对 DQS 差分信号，可以控制 72 位位宽的数据，见图 3。

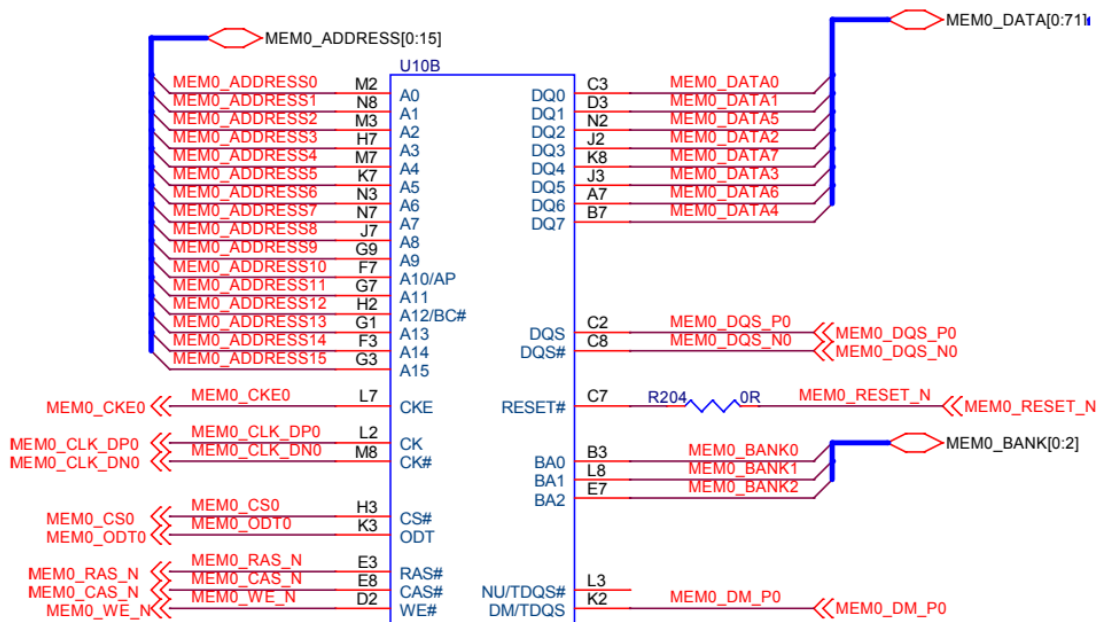


Figure 3. DDR3 circuit
图 3. DDR3 电路设计

3.3. 以太网电路设计

FPGA 外挂 JS88E1111 千兆以太网接口，用于实现远程对 CPU 和 FPGA 的加载和调试，图 4。

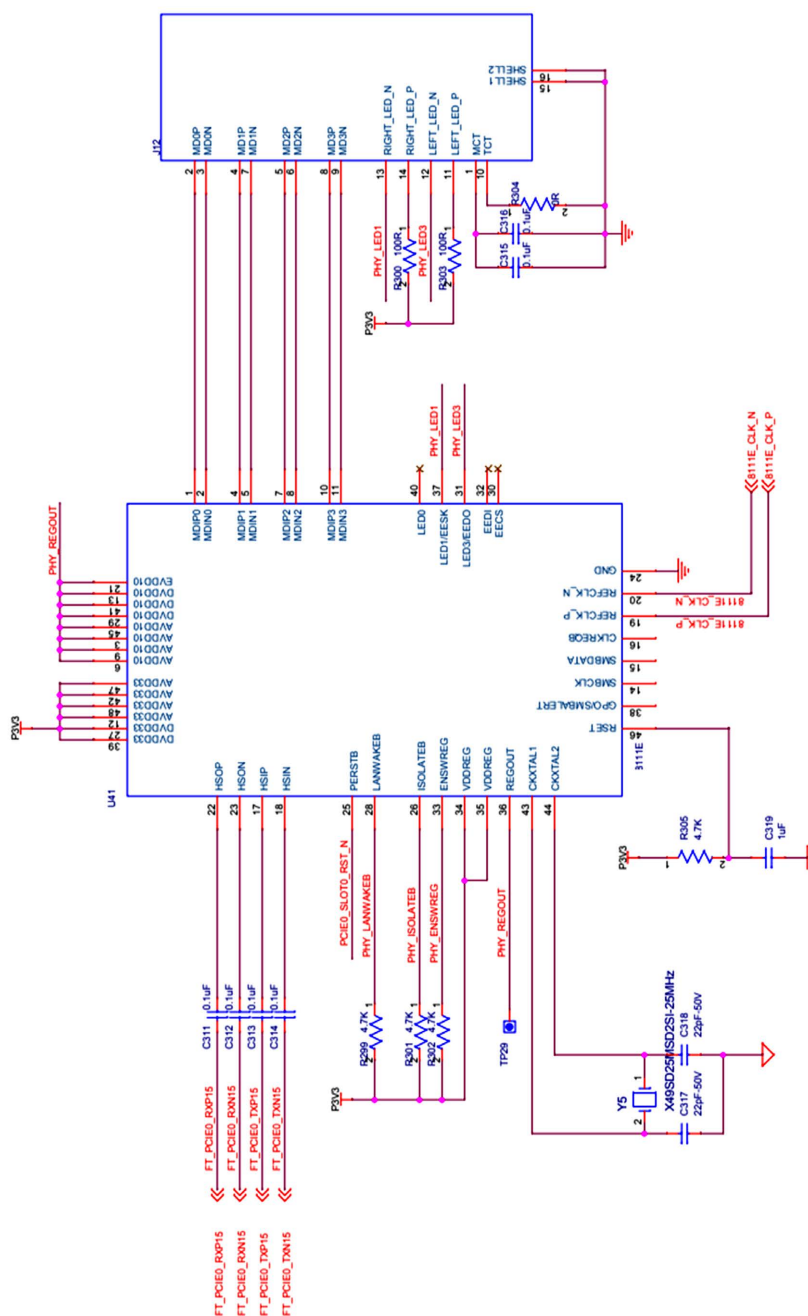


Figure 4. Ethernet network circuit
图 4. 以太网电路设计

3.4. PCIE 电路设计

CPU 通过 PCIE X4 实现与 FPGA 的高速交换，CPU 预留 3 个 PCIE X8 接口实现与外系统的数据交互，见图 5。



Figure 5. PCIE circuit
图 5. PCIE 电路设计

4. 系统仿真

系统功能实现，高速 DDR 的设计尤为重要，功能前仿真和设计后仿真是关键的一个环节。FPGA 初始化 DDR 控制器，时钟频率 800 MHz，进行全地址读写测试，测试数据为随机数。初始化功能仿真见图 6，FPGA 读写 DDR3 功能仿真见图 7，结果符合设计要求。

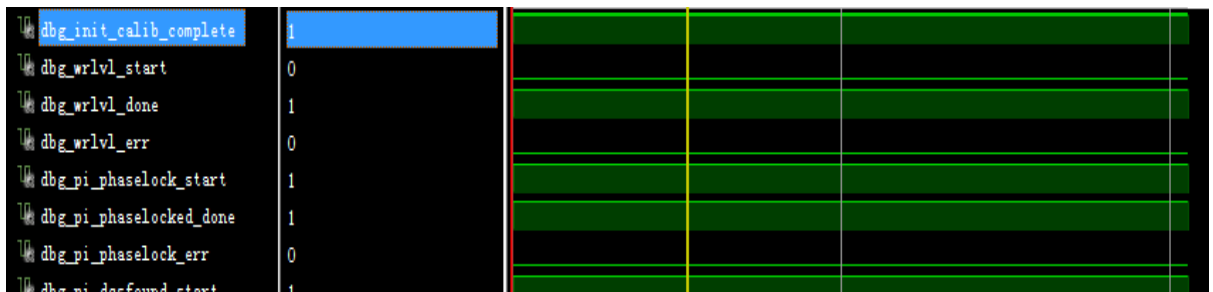


Figure 6. The function simulation of DDR3 initialization
图 6. DDR3 初始化功能仿真

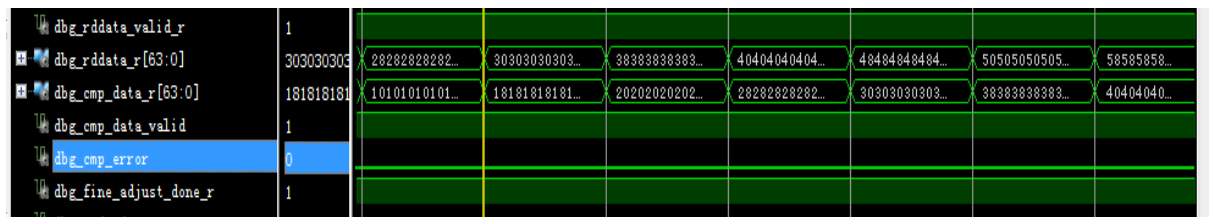


Figure 7. The reading and writing function simulation of DDR3
图 7. DDR3 读写功能仿真

DDR3 后仿真拓扑结构建模如图 8。采用 Ansys 公司 SIwave 2019R2 版本与 Cadence 公司 Sigrity SystemSI 2019 版本工具分别对 DDR3 数据读写、地址、控制信号进行频域 S 参数提取和时域仿真分析[13]，如图 9~12，结果应符合 JEDEC 标准 DDR3 (AC150/DC100)，判决标准分为单端信号、差分信号、地址/控制信号和时钟/数据/数据选通信号。

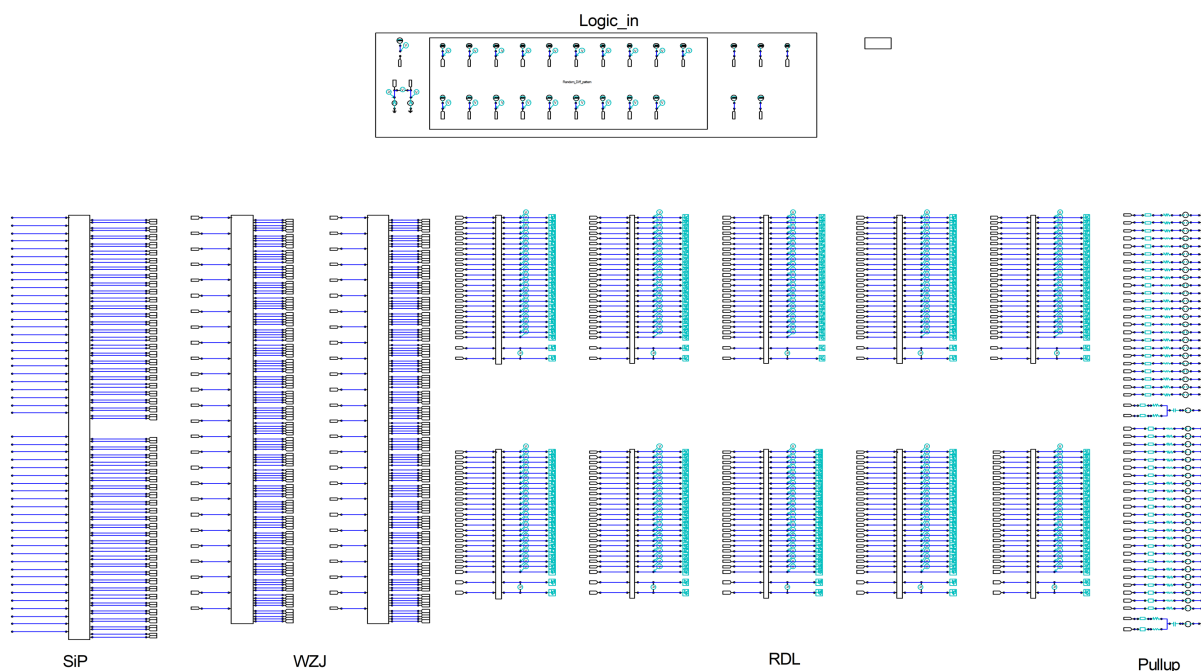


Figure 8. The time domain topology of DDR3
图 8. DDR3 时域仿真拓扑

单端信号的判决标准为：

$$V_{IH(ac)min} = 0.9 \text{ V}$$

$$V_{IH(dc)min} = 0.85 \text{ V}$$

$$V_{REF} = 0.75 \text{ V}$$

$$V_{IL(dc)max} = 0.65 \text{ V}$$

$$V_{IL(ac)max} = 0.6 \text{ V}$$

差分信号的判决标准为：

$$V_{IHdiff(ac)min} = 0.3 \text{ V}$$

$$V_{IHdiff(dc)min} = 0.2 \text{ V}$$

$$V_{ILdiff(dc)max} = -0.2 \text{ V}$$

$$V_{ILdiff(ac)max} = -0.3 \text{ V}$$

地址、控制信号过冲标准为：

上下过冲峰值：0.4 V

过冲区域面积：0.33 V-ns

时钟、数据、数据选通信号过冲标准为：

上下过冲峰值：0.4 V

过冲区域面积：0.13 V-ns

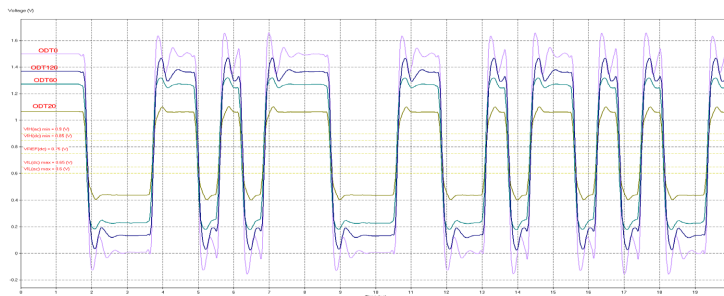


Figure 9. Reading and writing ODT wave comparison of DDR3
图 9. DDR3 写信号不同 ODT 波形对比

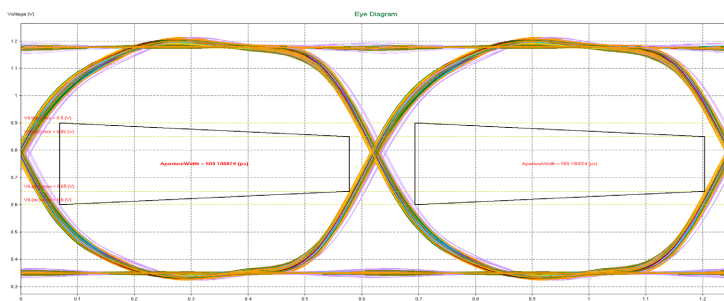


Figure 10. Reading and writing signal eye pattern of DDR3
图 10. DDR3 读信号眼图

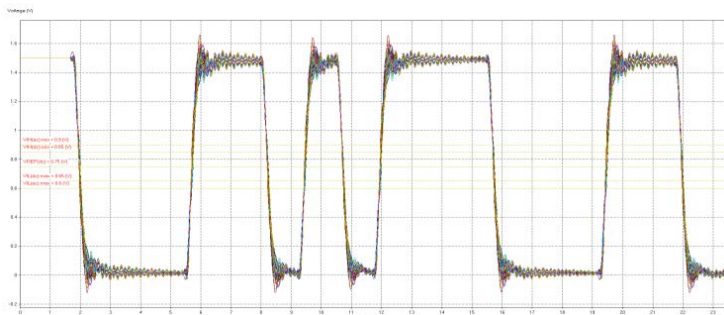


Figure 11. Address signal time domain wave of DDR3
图 11. DDR3 地址信号时序波形

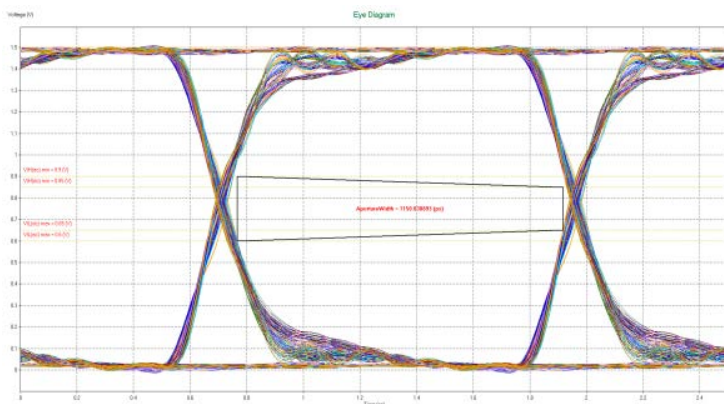


Figure 12. Control signal eye pattern of DDR3
图 12. DDR3 控制信号眼图

仿真结果表明, DDR3 数据读写、数据选通、时钟、地址与控制网络的信号波形、眼图与时序参数均可满足设计要求,符合 JEDEC 标准 DDR3 (AC150/DC100)。

5. 实验结果

根据系统需求设计测试系统,见图 13。PC 通过 JTAG 端口分别对 DSP 和 FPGA 的 FLASH 进行程序下载烧写, DSP 和 FPGA 上电后自动 load ROM 中的程序运行,分别测试各自 DDR 存储读写功能,外围接口通过回环或者与 PC 通信进行测试。在高低温状态(-55℃~85℃)和温循状态(GJB548 试验条件 A, 10 次循环),测试结果见表 1,满足系统指标设计要求。

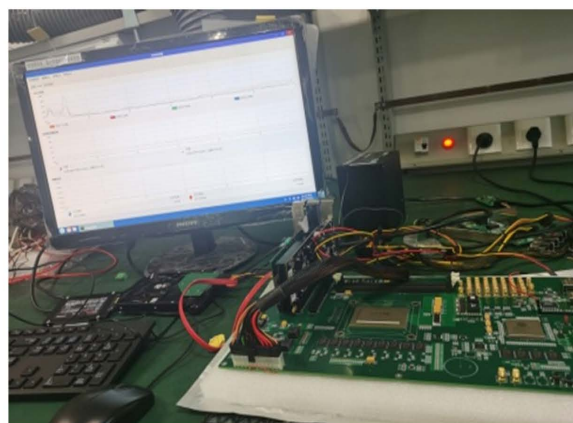
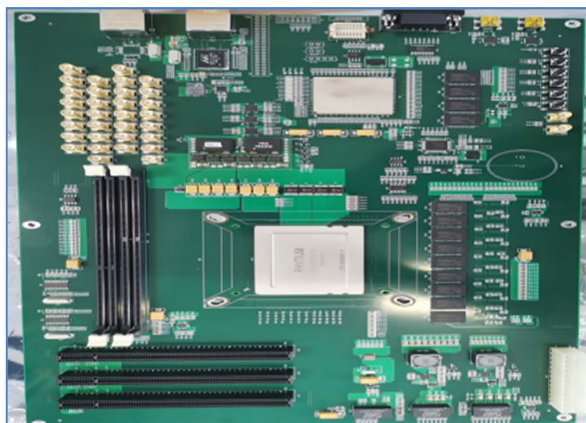


Figure 13. Material object system and test system

图 13. 系统实物与测试系统

Table 1. Test content and result

表 1. 测试内容与结果

序号	指标名称	测试数据	测试结果判别
1	处理核心数	8	符合设计要求
2	逻辑门数	3250 万	符合设计要求
3	时钟频率	1 GHz	符合设计要求
4	高速接口 PCIe 速率	5 Gbps	符合设计要求
5	高速接口 RapidIO 速率	3.125 Gbps	符合设计要求
6	网口 10/100/1000 Mbps	10/100/1000 Mbps	符合设计要求
7	同步串行口与异步串行口共 5 组	5 组	符合设计要求

其中 PCIE 接口的设计关系到整个系统设计的成败。参照《PCI_Express_CEM_r2.0》中 TX 部分标准和 RX 部分标准进行系统 PCIE 协议的测试,测试结果如图 14、图 15。

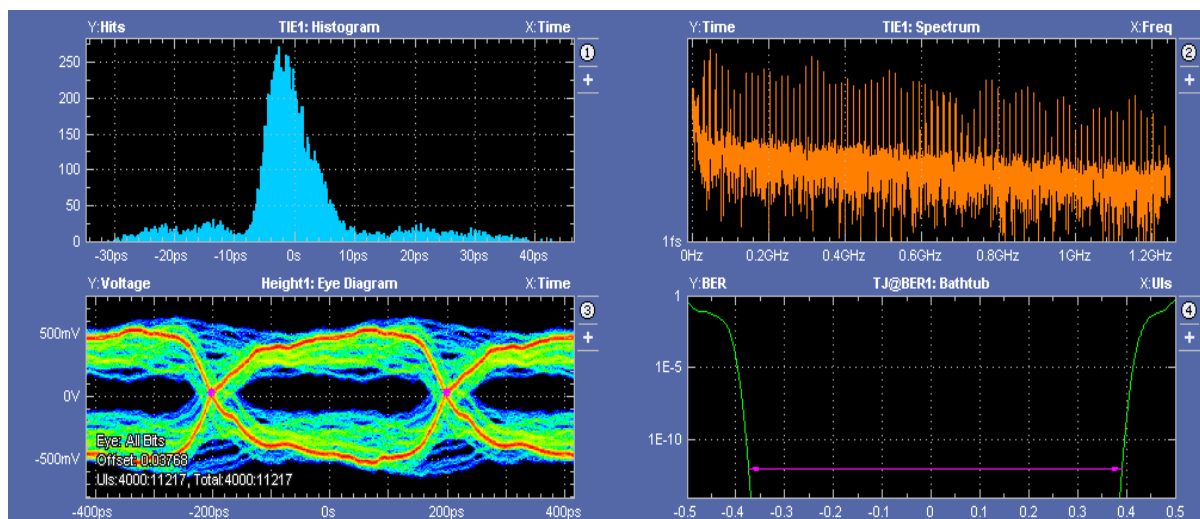


Figure 14. TX signal eye pattern of PCIe

图 14. PCIe TX 信号眼图

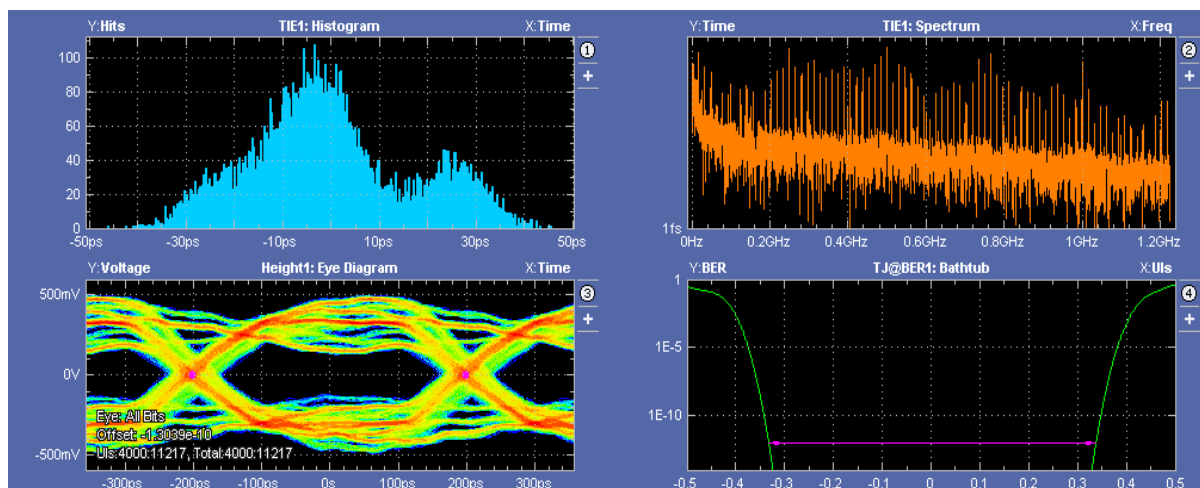


Figure 15. RX signal eye pattern of PCIe

图 15. PCIe RX 信号眼图

6. 结论

相比于常规单处理器系统设计, 本文采用 CPU+FPGA 异构多核技术, 设计了一款可重构、高性能、自主的机载信息处理系统, CPU 单核主频 1.5 G、处理核心 16 核, FPGA 逻辑门数 3250 万门。实验结果表明, 该硬件系统满足可编程、全自主和高性能设计要求。该系统设计可靠, 运行稳定。

参考文献

- [1] 尹传历, 王啸哲. 机载嵌入式图像增强系统设计与实现[J]. 液晶与显示, 2013, 28(4): 606-607.
- [2] 来彦栋. 单幅图像雾霾去除算法研究[D]: [硕士学位论文]. 成都: 电子科技大学, 2010.
- [3] 石梅林, 赵月琴. FPGA 系列 FPGA 的配置方法研究[J]. 电子科学技术, 2016, 3(5): 553-558.
- [4] 王树海, 花兴来, 李红军. 装备标准化[M]. 北京: 国防大学出版社, 2002: 18-22.
- [5] 郑争兵, 魏瑞, 陈正涛. 一种基于 FPGA 的高速数据通道的实验方法[J]. 实验室研究与探索, 2012, 31(12): 78-81.

-
- [6] 范哲意, 周治国, 刘志文. 基于 FPGA 和模型化设计的图像处理实验平台[J]. 实验室研究与探索, 2013, 32(4): 63-66.
- [7] 刘怿恒. 基于 FPGA 的数据采集与处理系统设计[D]: [硕士学位论文]. 长沙: 湖南大学, 2013.
- [8] 雷光. 基于 FPGA 和双 DSP 结构的视频处理模块设计及验证[D]: [硕士学位论文]. 成都: 电子科技大学, 2010.
- [9] 赵谦, 赵小冬. 机载嵌入式可重构信号处理系统设计[J]. 航空计算技术, 2014, 44(6): 125-128.
- [10] 张凯, 陈书明, 王耀华, 宁希. 面向通用 HPC 的高性能 DSP 设计权衡[J]. 计算机学报, 2013, 36(4): 790-798.
- [11] 高杨, 刘荣科, 胡伟. 基于 FPGA+DSP 的高清视频图像系统设计与实现[J]. 电子测量技术, 2011, 34(1): 69-73.
- [12] 李保刚, 马登武. FPGA 在多路数据采集系统中的应用研究[J]. 计算机测量与控制, 2012, 20(4): 1138-1141.
- [13] 曾燕萍, 张景辉, 王梦雅, 孙晓冬, 曹春雨. DDR3 堆叠键合组件的信号完整性分析与优化[J]. 电子与封装, 2020, 20(12): 5-9.