

Low Power Design of TP RAM and Its Application

Qingjun Zhou, Jing Xing

ZTE Telecom College, Xian Peihua University, Xi'an Shaanxi
Email: zhqj76@126.com

Received: Mar. 8th, 2017; accepted: Mar. 21st, 2017; published: Mar. 31st, 2017

Abstract

As the area and power consumption of TP RAM in SoC are large, a new design method of optimization is proposed. In order to achieve the function of the original TP RAM and keep the external interface unchanged, TP RAM is replaced with SP RAM, and read-write interface logics of conversion are added around SP RAM. The method discussed in this paper is used in the multi core SoC chip which has been successfully taped out in TSMC 28 nm HPM process. The chip occupies 10.7 mm × 11.9 mm of die area and consumes 19.8 W. The testing results indicate that the area of optimized RAM is reduced by 24.5%, and the power saving is 45.16%.

Keywords

TP RAM, SP RAM, Optimization of Power Consumption, Interface Logics of Conversion

TP RAM的低功耗设计及应用

周清军, 邢 静

西安培华学院中兴电信学院, 陕西 西安
Email: zhqj76@126.com

收稿日期: 2017年3月8日; 录用日期: 2017年3月21日; 发布日期: 2017年3月31日

摘 要

针对SoC中TP RAM的面积及功耗较大问题, 提出一种优化设计方法。通过将SoC中的TP RAM替换成SP RAM, 并在SP RAM外围增加读写接口转换逻辑, 使替换后的RAM实现原TP RAM的功能, 保持对外接口不变。将文中方法应用于一款多核SoC芯片, 该芯片经TSMC 28 nm HPM工艺成功流片, die size为10.7 mm × 11.9 mm, 功耗为19.8 W。测试结果表明: 优化后的RAM面积减少了24.5%, 功耗降低了45.16%。

关键词

TP RAM, SP RAM, 功耗优化, 接口转换逻辑

Copyright © 2017 by authors and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

随着芯片集成度越来越高, 随机存储器(random access memory, RAM)在片上系统(system on chip, SoC)中的占比也越来越高, 因此 RAM 对 SoC 的面积及功耗的贡献也越来越大。相同容量的伪双口 RAM (two ports RAM, TP RAM)与单口 RAM (single port RAM, SP RAM)相比, 前者的面积及功耗更大。降低 SoC 的面积及功耗可以节省成本, 延长芯片寿命并进一步提升市场竞争力[1] [2] [3]。而 TP RAM 作为 RAM 的一种常用类型, 在 SoC 中的比重也很大。因此降低 TP RAM 的面积及功耗, 是降低整个 SoC 面积及功耗的有效途径。

文献[4]提出一款可以工作在极低电源电压条件下, 功耗较低的亚阈值 SRAM 存储单元。为使其设计在极低电源电压条件下依然能够保持足够的鲁棒性, 采用差分读出方式和可配置的操作模式。为了降低电路功耗, 采用自适应泄漏电流切断机制, 可降低动态操作和静态操作时的泄漏电流。文献[5]提出一种适用于自旋磁随机存储器的低压写入电路, 利用列选和读写隔离相结合的方法, 减小写入支路上的电阻, 从而降低写入功耗, 并可提高自旋转移力矩磁随机存储器的存储可靠性。文献[4] [5]中方法都是从 RAM 存储单元的内部结构进行设计和优化, 需要改变 RAM 模块自身设计。而文中介绍的方法是将 TP RAM 作为一个整体替换成 SP RAM, 替换后的 RAM 可以作为 IP 直接使用。

为了降低 TP RAM 的面积及功耗, 提出一种 TP RAM 的优化设计方法。在 TP RAM 读写时钟相同的情况下, 将 TP RAM 替换成 SP RAM, 并在 SP RAM 外围增加读写接口转换逻辑, 优化后的 RAM 对外接口不变, 并可实现原 TP RAM 的功能。该优化方法可使 RAM 面积减少 24.5%, 功耗降低 45.16%。

2. TP RAM 优化设计方法

2.1. TP RAM 替换成 SP RAM 的必要性

SP RAM 只有一套地址总线 and 数据总线, 读写不能同时进行。TP RAM 指伪双口 RAM, 有两套地址总线, 一套数据总线, 一个口只能写, 另一个口只能读。RAM 的功耗组成包括动态功耗及静态功耗, 总功耗等于二者之和。动态功耗大小与逻辑面积, 频率及逻辑翻转率成正比。在 TP RAM 读写时钟相同的情况下, 将 TP RAM 替换成 2 倍频率的 SP RAM 来实现原 TP RAM 的功能。由于频率变成优化前的 2 倍, 原 TP RAM 的一个周期时间等于优化后的 SP RAM 的 2 个周期时间, 因此 SP RAM 逻辑翻转率将降低为原来的一半。而相同容量的 SP RAM 的逻辑面积比 TP RAM 的小, 所以优化后的 SP RAM 的动态功耗比 TP RAM 的小[6] [7]。静态功耗大小与逻辑面积成正比, 由于相同容量的 SP RAM 的逻辑面积比 TP RAM 的小, 所以优化后的 SP RAM 的静态功耗会变小。由于替换成 SP RAM 需要增加的接口控制逻辑很少, 与 RAM 本身的逻辑面积相比基本可以忽略, 因此优化后的 SP RAM 总功耗及面积均会减小[8] [9]。

2.2. SP RAM 的读写接口转换

项目中需要使用很多读写时钟相同的先进先出存储器(first in first out, FIFO), 优化前这些 FIFO 的 RAM 都使用了 TP RAM, 运行频率都是 350 MHz。使用 TSMC 的 28 nm HPM 的 Memory compiler 也可以生成相同容量的频率为 700 M 的 SP RAM。将这些 TP RAM 替换成 SP RAM 后就可以达到减少面积及降低功耗的目的[10]。为了使替换后的 SP RAM 实现原 TP RAM 的功能, 需要在 SP RAM 外围增加 TP2SP 转换逻辑。将 TP RAM 转换成 SP RAM 的转换逻辑框图如图 1 所示。从图 1 可以看到, 350 M 时钟域的读写控制信号经过 TP2SP 转换逻辑后变成了 700 M 时钟域的 SP RAM 的读写控制信号, 同时 SP RAM 的读出数据需要转换成 350 M 时钟域的读出数据, 且替换后的 TP2SP RAM 的对外接口和原 TP RAM 的一致。表 1 列出了图 1 中各个信号的含义, 其中有外部接口信号, 也有内部接口信号, 内部接口信号是直接替换后的 SP RAM 连接的信号。

2.3. 优化方法详细设计

SP RAM 只有一组读写控制信号, TP RAM 有两组读写控制信号, 所以需要将 TP RAM 的两组读写控制信号转换成 SP RAM 的一组读写控制信号。clkx 是 350M 的 TP RAM 的时钟信号, clk2x 是 700 M 的 SP RAM 的时钟信号, 由于 TP RAM 可能存在读写冲突, 而 SP RAM 不会有读写冲突, 因此读写转换逻辑需要支持 TP RAM 的两种场景: 1) 读写冲突时, 读出新数据, 写入新数据, 即先写后读; 2) 读写冲突时, 读出旧数据, 写入新数据, 即先读后写。为了控制读写冲突, 需要产生一个中间信号 rw_flag, 逻辑生成电路如图 2。先写后读的控制方法是在 rw_flag = 0 时写, rw_flag = 1 时读; 如果需要在先读后写, 则控制方法是在 rw_flag = 0 时读, rw_flag = 1 时写。图 3 列出了先写后读的控制方法的相应信号生成电路, rw_en_clk2x 是 SP RAM 的读写控制信号, 当 rw_en_clk2x = 1 时写, 当 rw_en_clk2x = 0 时读。rw_cs_clk2x 是 SP RAM 的片选控制信号, 当 rw_cs_clk2x = 1 时有效。rw_addr_clk2x 是 SP RAM 的读写地址信号。

Table 1. Interface signals of TP2SP RAM conversion logics

表 1. TP2SP RAM 转换逻辑框图接口信号列表

信号名称	接口类型	含义
clk2x	外部接口	700 M 时钟信号
clkx	外部接口	350 M 时钟信号
rd_en	外部接口	TP RAM 读使能, 350 M 时钟域, 高有效
rd_addr	外部接口	TP RAM 读地址, 350 M 时钟域
wr_en	外部接口	TP RAM 写使能, 350 M 时钟域, 高有效
wr_addr	外部接口	TP RAM 写地址, 350 M 时钟域
wr_data	外部接口	TP RAM 写数据, 350 M 时钟域
rd_data_clkx	外部接口	TP RAM 读出数据, 350 M 时钟域
rw_cs_clk2x	内部接口	SP RAM 片选, 700 M 时钟域, 高有效
rw_en_clk2x	内部接口	SP RAM 读写使能, 700 M 时钟域, 高写低读
rw_addr_clk2x	内部接口	SP RAM 读写地址, 700 M 时钟域
wr_data_clk2x	内部接口	SP RAM 写数据, 700 M 时钟域
rd_data_clk2x	内部接口	SP RAM 读出数据, 700 M 时钟域

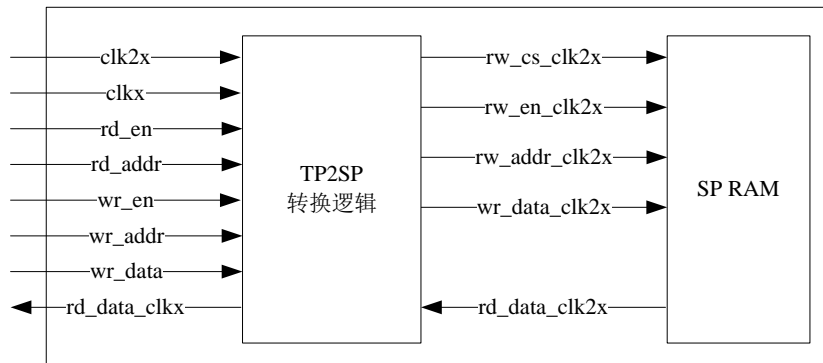


Figure 1. Diagram of TP2SP RAM interface
图 1. TP2SP RAM 转换逻辑框图

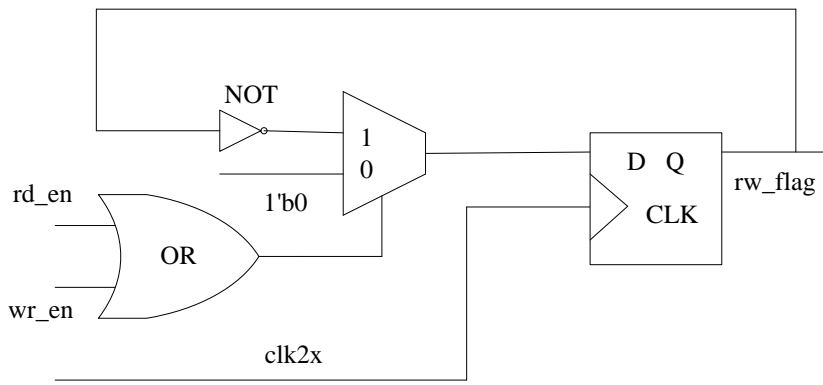


Figure 2. rw_flag generation logic
图 2. rw_flag 控制信号产生逻辑

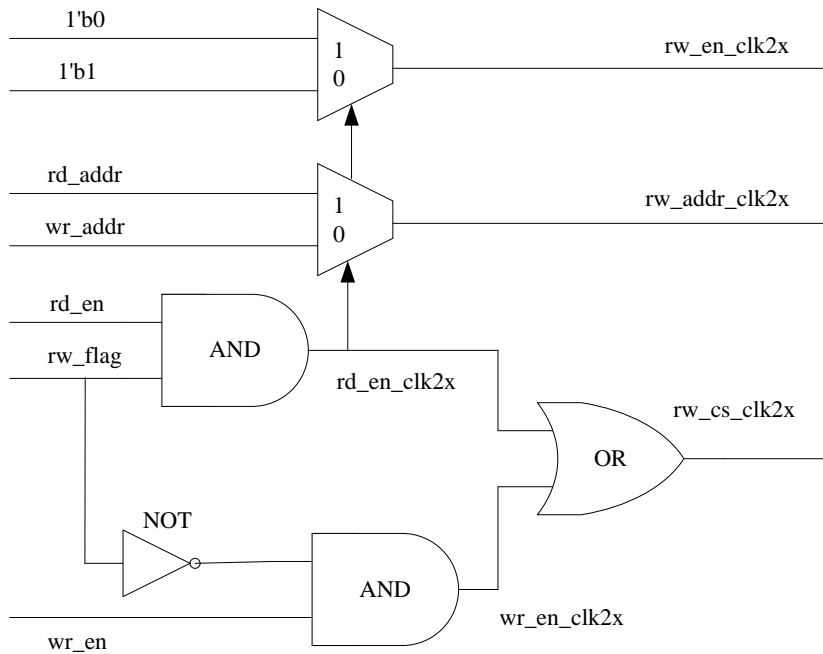


Figure 3. TP2SP diagram of first writing and after reading
图 3. TP2SP 先写后读控制逻辑生成示意图

图 4 画出了 SP RAM 读出的数据转换成保持一个 TP RAM 时钟周期数据的时序图，clkx 是 350 M 的 TP RAM 的时钟信号，clk2x 是 700 M 的 SP RAM 的时钟。rd_en 是外部输入的 350 M 时钟域的读控制信号，rd_data_clk2x_1ff 是 SP RAM 的输出数据 rd_data_clk2x 延迟一个 clk2x 后的数据，最终输出是能够保持一个 clkx 时钟周期的 rd_data_clkx 数据。

3. 优化方法在芯片中的应用

芯片中总共使用了 86M bits memory，优化前 TP RAM 共计 37.45 M bits，其余 48.55 M bits 均为 SP RAM。优化前的 TP RAM 包括 2 种长宽类型，一种是 768*49，另一种是 320*64。使用本文的优化方法将所有 TP RAM 替换成倍频的 SP RAM。表 2 及表 3 列出了芯片中使用的 TP RAM 及优化后的 SP RAM 的规格及相应面积和功耗数据。其中功耗是指动态功耗与静态功耗之和，由于动态功耗大小与读写翻转率成正比[11] [12]，所以表中也列出了相应的读写翻转率数据。由于优化后 TP RAM 变成了频率翻倍的 SP RAM，所以读写翻转率均变成优化前的一半。表中 TP 指 TP RAM，SP 指 SP RAM；Compiler Lib 是指生成 memory 时的 compiler library 类型，rf-2p-uhde 是指 register file two port ultra-high density；由于功耗还与温度及电压有关，所以表中也列出了工艺 Corner: TT/0.9V/85C [13] [14]。数量是指这种 memory 在芯片中使用的个数，768*49 的 memory 使用了 706 个，320*64 的 memory 使用了 530 个。

4. 实验结果及分析

优化前所有的 TP RAM 和 SP RAM 的面积总和为 31.75 mm²，功耗为 0.465 W；优化后的面积总和为 23.97 mm²，功耗为 0.255 W。优化后 memory 面积减少 24.5%，功耗减少 45.16%。表 4 列出了优化前后芯片 memory 面积及功耗对比数据。优化前 TP RAM 容量占比 = 37.42M/86M = 43.5%，如果 TP RAM 占所有 memory 的比例越高，则优化后面积减少比例越多，效果也越明显[15] [16]。为了测试 memory 的功耗，每个 memory 都设计成具有旁路功能，当开启某 memory 旁路功能后，该 memory 的输入直接穿透到输出，此时测试的芯片功耗中该 memory 的功耗为 0；当关闭该 memory 旁路功能后测试的芯片功耗就包含了该 memory 的功耗。该 memory 旁路前后测试的芯片功耗之差就等于该 memory 的功耗。

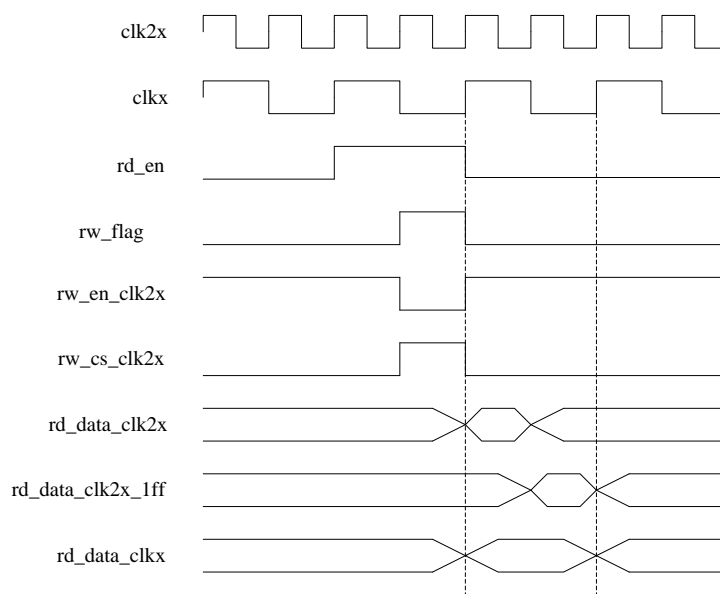


Figure 4. Timing diagram of conversion logic for output data
图 4. 输出数据转换时序图

Table 2. Data comparison between TP RAM and SP RAM in size 768*49
表 2. 768*49 的 TP RAM 与 SP RAM 对比

TP/SP	深度*位宽	Compiler Lib	频率(MHz)	读/写翻转率	Corner	Area (um ²)	Power (uW)	数量
TP	768*49	rf-2p-uhde	350	3.22%/3.22%	TT/0.9v/85C	15914.09	377.66	706
SP	768*49	rf-sp-hde	700	1.61%/1.61%	TT/0.9v/85C	11021.21	172.48	706

Table 3. Data comparison between TP RAM and SP RAM in size 320*64
表 3. 320*64 的 TP RAM 与 SP RAM 对比

TP/SP	深度*位宽	Compiler Lib	频率(MHz)	读/写翻转率	Corner	Area (um ²)	Power (uW)	数量
TP	320*64	rf-2p-hde	350	0.8%/0.54%	TT/0.9v/85C	16058.95	202.35	530
SP	320*64	rf-sp-hde	700	0.4%/0.27%	TT/0.9v/85C	7891.8	75.27	530

Table 4. Area and power comparison between before optimization and after
表 4. 优化前后芯片 memory 面积及功耗对比列表

优化指标	优化前	优化后	优化比例%
面积(mm ²)	31.75	23.97	24.5
功耗(W)	0.465	0.255	45.16

Table 5. Main features of SOC after tape-out
表 5. 流片后的 SOC 主要特征列表

Technology	28 nm HPM
Package	FCBGA33*33
Wafer Foundry	TSMC
Assembly vendor	Spil-TW
Final Test ATE	93 K
CP Yield	73.6%
Die Size	10.710 mm*11.907 mm
CPU Max Frequency	1.4 GHz
Total Power	19.8 W

优化后的芯片经 TSMC 28nm HPM 工艺成功流片, 封装类型是 FCBGA33*33, 芯片 die size 是 10.710 mm*11.907 mm, 使用了 8 个 ARM Cortex-A15 核, CPU 运行最高频率为 1.4 GHz。芯片测试平台是 93 K, 在 TT/0.9V/85C 时测试功耗为 19.8 W, 成品率为 73.6%。表 5 列出了该芯片的一些主要特征。

5. 结语

本文通过将读写时钟相同的 TP RAM 替换成倍频的 SP RAM, 并在 SP RAM 外围增加读写接口转换逻辑, 使替换后的 RAM 实现原 TP RAM 的功能, 从而达到减少面积及降低功耗的目的。将优化后的 SP RAM 应用于一款多核 SoC 芯片, 该芯片经 TSMC 28nm HPM 工艺成功流片, 封装类型是 FCBGA33*33, 芯片 die size 是 10.710 mm*11.907 mm。芯片测试结果表明: 优化后的 RAM 面积减少了 24.5%, 功耗降低了 45.16%。

基金项目

国家自然科学基金项目(61376099, 6143000024), 陕西省教育厅专项基金项目(16JK2138)。

参考文献 (References)

- [1] Chiu, P.-F. (2012) Low Store Energy, Low VDDmin, 8T2R Nonvolatile Latch and SRAM with Vertical-Stacked Resistive Memory (Memristor) Devices for Low Power Mobile Applications. *IEEE Journal of Solid-State Circuits*, **47**, 1483-1496. <https://doi.org/10.1109/JSSC.2012.2192661>
- [2] Lutkemeier, S., Jungeblut, T., Berge, H.K.O., *et al.* (2013) A 65 nm 32 b Subthreshold Processor with 9T Multi-Vt SRAM and Adaptive Supply Voltage Control. *IEEE Journal of Solid-State Circuits*, **48**, 8-19. <https://doi.org/10.1109/JSSC.2012.2220671>
- [3] Aghamohammadi, M.R. and Abdolahinia, H. (2014) A New Approach for Optimal Sizing of Battery Energy Storage System for Primary Frequency control of Islanded Microgrid. *International Journal of Electrical Power and Energy Systems*, **54**, 325-333.
- [4] 柏娜, 冯越, 龙肖虎, 等. 极低电源电压和极低功耗的亚阈值 SRAM 存储单元设计[J]. 东南大学学报: 自然科学版, 2013, 43(2): 268-273.
- [5] 张丽, 庄奕琪, 赵巍胜, 等. 一种适用于自旋磁随机存储器的低压写入电路[J]. 西安电子科技大学学报: 自然科学版, 2014, 43(3): 131-136.
- [6] Yu, H.Z., Wang, P.J., Wang, D.S., *et al.* (2013) Discrete Ternary Particleswarm Optimization for Area Optimization of MPRM Circuits. *Journal of Semiconductors*, **34**, 118-123. <https://doi.org/10.1088/1674-4926/34/2/025011>
- [7] 高闯, 吴利华, 刘海南, 等. 一种用于 FPGA 的可配置存储器设计[J]. 固体电子学研究进展, 2016, 36(1): 67-70.
- [8] Peng, S.-Y., Huang, T.-C., Lee, Y.-H., *et al.* (2013) Instruction-Cycle-Based Dynamic Voltage Scaling Power Management for Low-Power Digital Signal Processor with 53% Power Savings. *IEEE Journal of Solid-State Circuits*, **48**, 2649-2661. <https://doi.org/10.1109/JSSC.2013.2274885>
- [9] Sheng, D., Chung, C.-C., Lee, C.-Y., *et al.* (2011) A Low-Power and Portable Spread Spectrum Clock Generator for SoC Applications. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **19**, 1113-1117. <https://doi.org/10.1109/TVLSI.2010.2044903>
- [10] Hemalatha, A.A. (2011) Shanmugam.Computer Aided Design for Low Power Fir Processor on System On-Chip Platform Architecture for High Performance DSP Applications. *International Journal of Computer Science and Network Security*, **11**, 38-42.
- [11] Rick, P. and Aurangzeb, K. (2014) Design for Data-Center, Low-Power and SoCs. 2014 *IEEE Proceedings of the Custom Integrated Circuits Conference*, San Jose, California, 15-17 September 2014, 1-1.
- [12] Jain, A., Subramanian, S., Parekhji, R.A., *et al.* (2011) Design Techniques with Multiple Scan Compression Codecs for Low Power and High Quality Scan Test. *Journal of Low Power Electronics*, **7**, 502-515. <https://doi.org/10.1166/jolpe.2011.1161>
- [13] Ward-Foxton, S. (2012) Wireless SoCs Use Cortex-MO Core To Slash Power Consumption. *Microwaves & RF*, **51**, 36.
- [14] Mahdoum, A. (2012) Combined Heuristics for Synthesis of SOCs with Time and Power Constraints. *Computers and Electrical Engineering*, **38**, 1687-1702.
- [15] 沈玲羽, 庞屹林, 范阳, 等. 红外读出电路中低功耗列读出级电路的设计[J]. 固体电子学研究进展, 2015, 35(4): 378-382.
- [16] Lakdawala, H., Schaecher, M., Fu, C.-T., *et al.* (2013) A 32 nm SoC with Dual Core ATOM Processor and RF WiFi Transceiver. *IEEE Journal of Solid-State Circuits*, **48**, 91-103. <https://doi.org/10.1109/JSSC.2012.2222812>

期刊投稿者将享受如下服务：

1. 投稿前咨询服务 (QQ、微信、邮箱皆可)
2. 为您匹配最合适的期刊
3. 24 小时以内解答您的所有疑问
4. 友好的在线投稿界面
5. 专业的同行评审
6. 知网检索
7. 全网络覆盖式推广您的研究

投稿请点击：<http://www.hanspub.org/Submission.aspx>

期刊邮箱：ojcs@hanspub.org