

掺磷多晶硅的干法刻蚀工艺研究

刘 瑞^{1,2}, 白 雪^{1,2}, 武晓玮^{1,2}, 葛 欢^{1,2}, 赵万利^{1,2}, 孙俊敏^{1,2}, 李 玲^{1,2}, 吴 昊^{1,2}

¹国家电网, 全球能源互联网研究院有限公司, 北京

²先进输电技术国家重点实验室, 北京

Email: ruilnju@163.com

收稿日期: 2020年11月30日; 录用日期: 2020年12月22日; 发布日期: 2020年12月29日

摘 要

本文主要研究功率器件中多晶硅栅的干法刻蚀工艺。首先阐述了多晶硅在金属-氧化物-半导体场效应晶体管(MOSFET)中的重要作用, 提出当前多晶硅常采用干法刻蚀工艺实现其微观形貌, 同时介绍了干法刻蚀的基本原理。然后重点研究了掺杂对多晶硅刻蚀后形貌的影响, 通过对表面异常的特征与分析, 探究优化的工艺路线, 提出掺杂后的多晶硅必须经过表面湿法处理才可以进入光刻、刻蚀工步。最后将以上优化后的多晶硅刻蚀方案应用于一款6500 V/20 A SiC MOSFET的工艺流程, 实测电学性能表现优异。

关键词

半导体制造, 多晶硅, 掺杂, 干法刻蚀

Research on Dry Etching Process of Phosphorus-Doped Polysilicon

Rui Liu^{1,2}, Xue Bai^{1,2}, Xiaowei Wu^{1,2}, Huan Ge^{1,2}, Wanli Zhao^{1,2}, Junmin Sun^{1,2}, Ling Li^{1,2}, Hao Wu^{1,2}

¹Global Energy Interconnection Research CO.LTD., State Grid, Beijing

²State Key Laboratory of Advanced Power Transmission Technology, Beijing

Email: ruilnju@163.com

Received: Nov. 30th, 2020; accepted: Dec. 22nd, 2020; published: Dec. 29th, 2020

Abstract

This article mainly studies the etching process of gate polysilicon in power devices. First, the important role of polysilicon in metal-oxide-semiconductor field effect transistors (MOSFET) is explained. It is proposed that the current polysilicon often adopts dry etching process to achieve its

microscopic appearance, and the basic principle of dry etching is introduced. Then it focuses on the influence of doping on the morphology of polysilicon after etching. Through the characterization and analysis of surface anomalies, the optimized process route is explored, and it is proposed that the doped polysilicon must undergo surface wet treatment before it can enter photolithography and etching. Finally, the above optimized polysilicon etching scheme is applied to the process flow of a 6500 V/20 A SiC MOSFET, and it exhibits excellent electrical properties.

Keywords

Semiconductor, Polysilicon, Doping, Dry Etching

Copyright © 2020 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

碳化硅(SiC)材料是目前世界上公认的绿色高效的新型半导体材料, 具有宽禁带宽度、高击穿电场、高热导率、高饱和电子漂移速度、抗辐射能力强以及化学性质稳定等优势(材料性能对比见表 1), 使得 SiC 成为制备新型电力电子器件的立项材料, 尤其适用于高压、高频、大功率、高辐照以及某些波长的光电探测技术领域[1]。因此, SiC 器件是下一代大功率电力电子器件的最优秀代表, 具有推动电网装备革命性变革的潜力, 是未来电力电子装备竞争的核心。自上世纪 90 年代开始, 电力电子器件的研究人员就将目光转移到 SiC 等具有更优电气性能的宽禁带半导体材料上。SiC 是目前发展最成熟的第三代宽禁带半导体材料, 击穿电场强度比硅材料高一个数量级, 从而在相同的外延厚度和掺杂浓度下, 可以实现更高的击穿电压; 载流子的饱和迁移率更高, 从而可以在更高的频率下工作; 导热性能良好, 可以得到更大的功率密度, 因而非常适合制作高温、高频、大功率电子器件, 并将在电力电子领域得到广泛应用。

Table 1. Comparison table of material parameters of silicon carbide and silicon

表 1. SiC 和 Si 的材料参数对比表[2] [3] [4] [5] [6]

材料类型	禁带宽度 E_g (eV)	电子迁移率 μ_n ($\text{cm}^2/\text{V}\cdot\text{s}$)	临界击穿电场 E_c (MV/cm)	电容率 ϵ_s (F/cm)	热导率 k (W/cm·K)
Si	1.1	1350	0.3	11.8	1.5
3C-SiC	2.2	900	1.2	9.7	4.5
4H-SiC	3.26	1190c 950a	2.2	9.7	4.5
6H-SiC	3.0	370c 420a	2.4	9.7	4.5

各种功率器件中, SiC MOSFET 是一种理想的开关器件和线性放大器件。它具有开关速度快, 开关损耗小; 保真度高, 非线性失真小; 工作频率高, 频率响应好; 热稳定性高, 安全工作区宽; 输入阻抗高, 增益大, 驱动功率小, 驱动电路简单等优点, 在功率器件中占有极为重要的地位。在传统的 Si 功率 MOSFET 中, 其电流输出能力受限于同时兼顾降低导通电阻和提高击穿电压这一矛盾关系上, 为了获得高的击穿电压, 必须采用高电阻率的漂移区, 这对 MOSFET 而言是很多的弊端。由于 SiC 材料有高于 Si 材料的临界击穿电场, 对于给定的击穿电压, 选取薄的轻掺杂漂移区, SiC MOSFET 的导通电阻至少

要比 Si MOSFET 小两个数量级，特别是高击穿电压，SiC MOSFET 更具有优势。因此，SiC MOSFET 在低功耗、高频开关领域得到了广泛应用。可以说，SiC 器件将是带动未来新能源技术革命的“绿色能源”器件。

在 SiC MOSFET 器件制备工艺中，多晶硅(Polysilicon)被广泛用于栅电极，多晶电极对关键线宽(CD)要求极高，业界趋向于采用较低的射频能量并能产生低压和高密度的等离子体来实现多晶硅的干法刻蚀。其中感应耦合等离子刻蚀技术(ICP)得到大力应用[7] [8]。随着功率器件尺寸的不断缩小，多晶硅栅的刻蚀越来越具有难度和挑战性。此外，作为栅电极的多晶硅需要通过掺杂磷元素的手段来实现更好的电导通特性，多晶原位掺杂对设备能力要求较高，当前业界仍多采用离子注入和退火推结的方式对多晶硅进行掺杂磷处理。与本研究相关的多组实验证明，掺磷扩散后的多晶硅表面完全不同于未掺杂多晶硅，这对干法刻蚀形貌提出了更高的要求，本文详细讲述了如何优化掺磷后多晶硅的干法刻蚀，最终成功应用于 6500 V/20 A SiC MOSFET 产品，电学性能表现优异。

2. 多晶硅的刻蚀机理

为了保护 MOSFET 的栅极氧化层不被损伤，通常要把多晶硅刻蚀分成几个步骤：主刻蚀、着陆刻蚀和过刻蚀[9] [10]。主刻蚀通常有比较高的刻蚀速率，但是对氧化硅的选择比较小。通过主刻蚀可基本决定多晶硅的剖面轮廓和关键尺寸。着陆刻蚀通常对栅极氧化层有比较高的选择比以确保栅极氧化层不被损伤。一旦触及到栅极氧化层后就必须转成对氧化硅选择比更高的过刻蚀步骤以确保把残余的硅清除干净而不损伤到栅极氧化层。

本文涉及的干法刻蚀工艺采用的是反应离子刻蚀(RIE)刻蚀方式，设备包括传送系统、工艺主腔、RF 射频电源、真空系统、特气系统及终点检测系统，如图 1 所示。

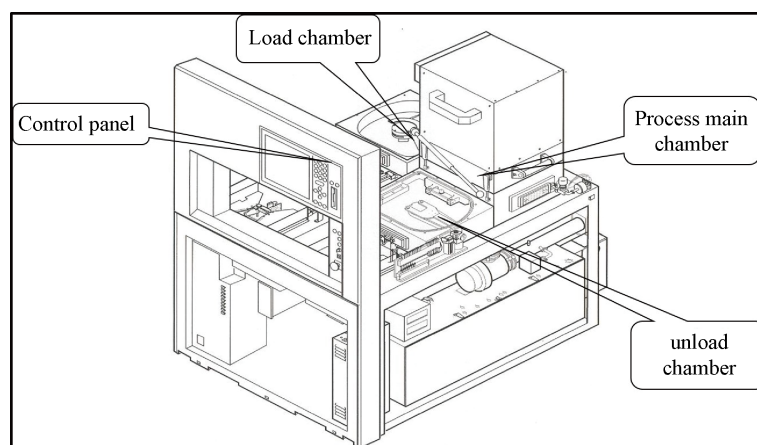


Figure 1. Schematic diagram of reactive ion etching equipment
图 1. 反应离子刻蚀设备的示意图

刻蚀终点检测系统的原理如下，当发生侧面刻蚀时，可以借助于使刻蚀减少到最低量从而能控制线宽和边缘剖面到一定的成都。具体方法包括：

- 1) 刻蚀层的直接宏观检测；
- 2) 监测从刻蚀层的发射出的光波；
- 3) 用发射光谱法对等离子体刻蚀剂粒子的浓度检测；
- 4) 用发射光谱法或质谱法对刻蚀产物的检测；

5) 等离子体阻抗变化的检测。

终点检测对于刻蚀中工艺控制和工艺判断, 都是一个有用的辅助手段, 可以使材料组份和厚度的波动或工作参数的改变而引起的刻蚀速率的变化得到补偿。

多晶硅刻蚀原理(如图 2 所示), F 原子对 Si 的刻蚀是各向同性的, 所以以 F 原子为基础的化合物气体如 CF_4 、 SF_6 等都不适宜用作多晶硅的刻蚀气体; 而 Cl 原子对硅具有的各向异性刻蚀作用, 所以 Cl_2 、 HCl 、 SiCl_4 等气体都可以被采用。使用这些气体还有一个好处是, 以 Cl 所形成的等离子体对 Si 及 SiO_2 刻蚀的选择性比较好, 因此在多晶硅刻蚀结束后, 可以使用同样性质的等离子体对聚酰亚胺(Polyicide)进行过刻蚀, 以确保多晶硅被刻净, 而又不会刻蚀太多的 SiO_2 层[11] [12] [13]。

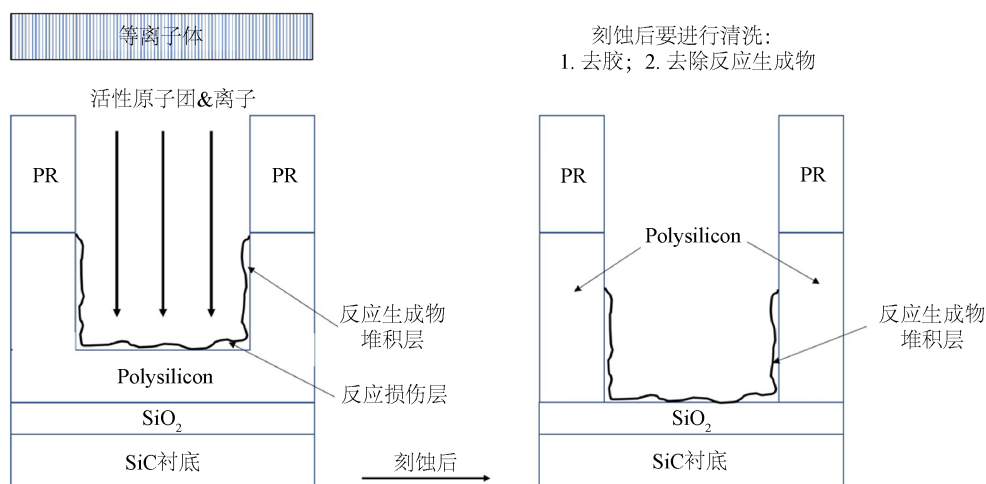


Figure 2. Schematic diagram of polysilicon etching mechanism

图 2. 多晶硅刻蚀机理示意图

平面型 SiCMOSFET 栅结构[14] [15]采用的多晶硅沟槽深度为 5000 Å, 属于浅沟槽刻蚀, 其难点在于沟槽深度的均匀性控制, 此外, 为了满足沟槽隔离氧化物的填充要求, 沟槽剖面轮廓的控制也非常重要, 因为太垂直的轮廓不利于化学气相沉积(CVD)的沉积, 通常会要求有适当的倾斜度。随着工艺尺寸的缩小, 要求达到更高的深宽比使得剖面轮廓控制和深度均匀性控制受到更大的挑战。当然 CD 的均匀性和剩余栅氧化层的均匀性也是重要的技术指标。对于浅沟槽的刻蚀, Cl_2 和 HBr 依然是主刻蚀气体, 再配合小流量的氧气和氮气来产生氮氧化硅形成侧壁钝化层从而达到理想的刻蚀剖面轮廓, Ar 和 He 通常用作辅助稀释的作用。由于沟槽底部轮廓同样影响到氧化物的填充, 采用 Cl_2 作为主刻蚀的气体容易形成比较直的剖面轮廓和凸型的底部轮廓, 采用 HBr 作为主刻蚀气体能得到比较斜的剖面轮廓和凹形的底部轮廓[16] [17]。

3. 掺杂对多晶硅刻蚀效果的影响

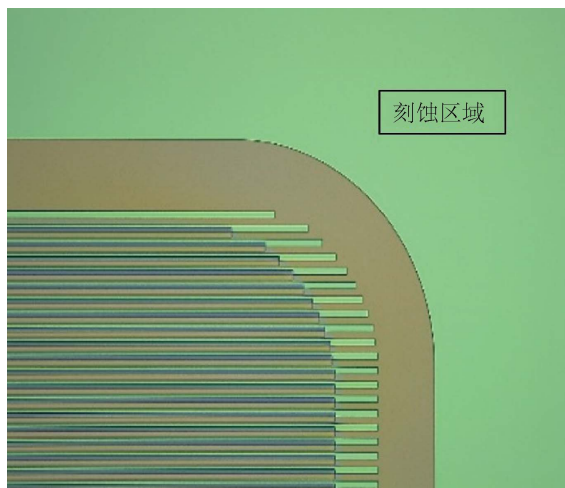
3.1. 多晶硅刻蚀基础参数

本文采用的主刻蚀气体为 Cl_2 , 工艺菜单(Recipe)关键参数如表 2 所示。实测刻蚀速率为 2892.0 Å/min, 片内均匀性 3.8%。该工艺参数下, 氧化硅(oxide)的刻蚀速率为 27 Å/min。计算其选择比(oxide: Poly-Si)为 1:107。

采用当前的 Recipe 刻蚀未经磷掺杂的多晶硅后, 可以得到理想表面形貌(见图 3 所示), 刻蚀区域无异常颗粒, 且对多晶下的氧化层损失很小, 显微镜观测为颜色均匀一致的介质层。

Table 2. Main etching menu of Polysilicon**表 2.** 多晶硅主刻蚀菜单

关键参数 PARAMETER	工艺压力 PRESSURE (mT)	RF POWER (Top) (W)	氯气 Cl ₂ (sccm)	溴化氢 HBr (sccm)	四氟化碳 CF ₄ (sccm)
Step 1	550	0	0	0	60
Step 2	550	400	0	0	60
Step 3	300	350	90	27	0
Step 4	0	0	0	0	0

**Figure 3.** The appearance of undoped polysilicon etching**图 3.** 无掺杂的多晶硅刻蚀后，外观无残留颗粒

3.2. 多晶硅掺杂磷工艺

多晶硅在 MOSFET 器件上的应用之一为栅电极[18]，为形成低电阻率的多晶硅，通常需对多晶硅栅电极进行掺杂，在该掺杂过程中，由于离子注入相对具有可控性好等优点，被广泛用来掺杂形成多晶硅栅电极。本文涉及的工艺路线采用离子注入方式进行掺杂，具体流程如表 3 所示：

Table 3. Etching process flow after polysilicon doping**表 3.** 多晶硅掺杂后的刻蚀工艺流程

Step No.	工艺模块	工步名称	工艺要求
1	清洗	Pre-clean	RCA 标准清洗
2	氧化	热氧化	Oxide-50 nm
3	薄膜	CVD	Poly-Si 500 nm
4	注入	离子注入 IMP	常温磷 P 注入 60 keV, $3 \times 10^{16} \text{ cm}^{-2}$
5	炉管	退火	900°C 推结
6	光刻	涂胶曝光	\
7	刻蚀	多晶硅刻蚀	\
8	清洗	去除光刻胶	3#液去胶

注入掺杂时会产生晶格损伤，为恢复晶格、激活杂质，电性能还原会进行损伤退火，损伤退火的方式为常压炉管 900℃高温处理 30 到 60 分钟，通过退火处理后多晶膜质会发生变化。经过光刻与刻蚀后镜检表面显示刻蚀区域均布颗粒，局部放大为 100 倍后如下图 4 所示，介质层上黑色颗粒分布明显。

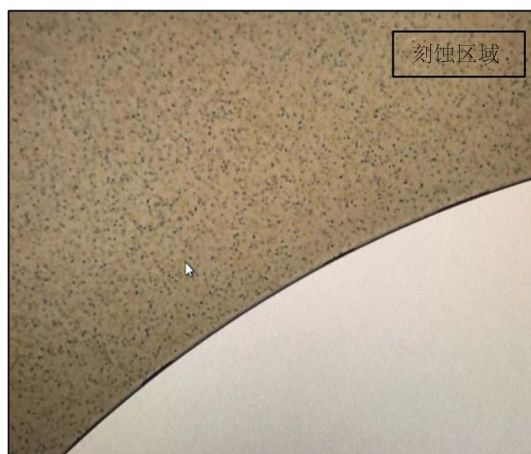


Figure 4. The appearance of doped polysilicon etching
图 4. 掺杂的多晶硅刻蚀后，表面残留颗粒

4. 多晶硅刻蚀工艺优化

4.1. 异常颗粒的表征与分析

针对掺杂多晶硅刻蚀后的表面异常颗粒进行能谱分析(EDS)，如下图 5 所示，成分扫描结果显示异常颗粒元素为 Si。

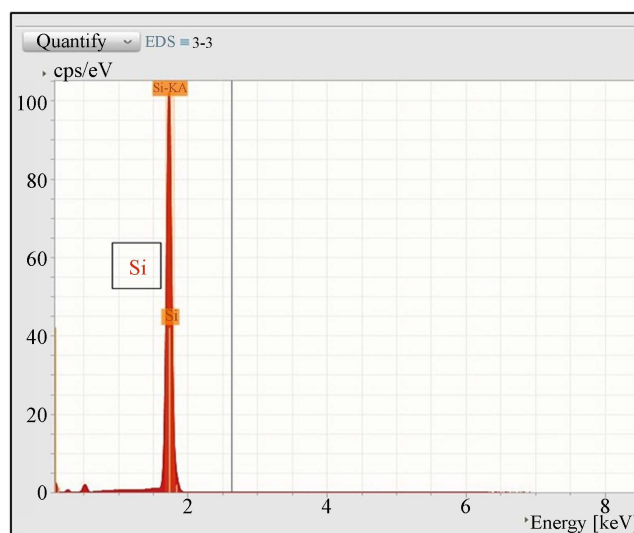


Figure 5. EDS composition analysis results of abnormal etching particles

图 5. 刻蚀异常颗粒 EDS 成分分析结果

使用扫描电子显微镜(SEM)对表面颗粒进行微观辨识，如图 6 所示，颗粒直径约 200 nm。采用原子力显微镜(AFM)对异常颗粒进行扫描分析，如图 7 所示，残留颗粒为高度 100~300 nm 的凸起。

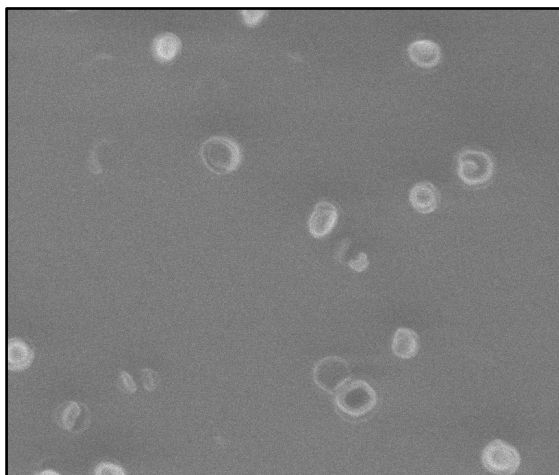


Figure 6. SEM composition analysis results of abnormal etching particles

图 6. 刻蚀异常颗粒 SEM 表面扫描结果

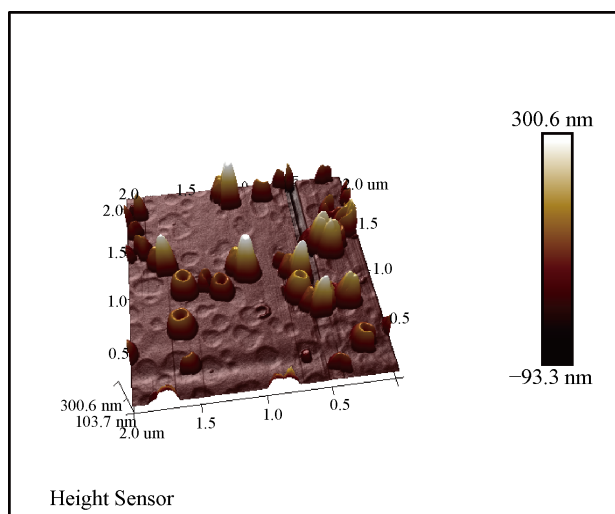


Figure 7. Protruding 3D morphology of abnormal particles

图 7. 异常颗粒凸起 3D 形貌

结合以上现象及解析结果分析，确认刻蚀后颗粒物为多晶残留。从以上实验得出结论，经过离子注入掺磷及高温退火炉处理后的多晶硅，直接光刻、刻蚀后，表面会出现较严重残留。

4.2. 残留颗粒的引入分析及工艺优化

掺杂后高温推结所采用的高温退火炉为常压炉管，退火条件为 900°C ，工艺时非真空状态，惰性气氛为 N_2 环境，在高温处理阶段炉内会残余少量的 O_2 ，致使多晶硅发生氧化。从基础参数里已知，氧化硅和多晶硅的刻蚀选择比达到 1:107，多晶硅上即使有几百 Å 的氧化层，刻蚀后也会造成残留。

为证实是由于高温推结处理使多晶硅表面形成氧化层，从而造成刻蚀残留的现象，对掺杂推结后的多晶硅表面进行湿法预处理后再观察。

4.2.1. 采用 DHF 表面处理

硅片生长 100 nm SiO_2 ，常规工艺生长 500 nm Poly-Si，掺杂 P 后进入高温退火炉进行推结，采用湿

法的 DHF (HF:H₂O = 1:50)对表面进行预处理 2 分钟。整面刻蚀后确认外观有少量残留,如图 8 的暗场镜检结果所示,残留现象有改善,但是表面仍有少量颗粒残留(暗场下的亮点为异常位置)。



Figure 8. Etched surface morphology after DHF rinse for 2 mins (Microscope dark field)

图 8. DHF 漂洗 2 mins 后刻蚀表面形貌(显微镜暗场)

增加 DHF 湿法处理时间为 10 mins, 腐蚀速率为 50 A/Min, 整面刻蚀, 检查外观, 图 8 所示的亮点位置全部消除, 表面已无颗粒残留。

4.2.2. 工艺优化及实际应用

从上述实验可知, 增加表面 DHF 预处理后, 刻蚀无残留, 因此将此工步增加在完整的工艺流程中。如表 4 所示:

Table 4. Polycrystalline phosphor expanded etching process (optimized)

表 4. 多晶磷扩后刻蚀工艺流程(增加 DHF 漂洗步骤)

Step No.	工艺模块	工步名称	工艺要求
1	清洗	Pre-clean	RCA 标准清洗
2	氧化	热氧化	Oxide-50 nm
3	薄膜	CVD	Poly-Si 500 nm
4	注入	离子注入 IMP	常温磷 P 注入 60 keV, 3e16 cm ⁻²
5	炉管	退火	900°C 推结
6	清洗	DHF	漂洗 10 mins
7	光刻	涂胶曝光	\
8	刻蚀	多晶硅刻蚀	\
9	清洗	去除光刻胶	3#液去胶

刻蚀后镜检结果见图 9, 刻蚀区域多晶已完全去除, 且无任何颗粒残留物。(注释: 图 9 的圆形区域为被光刻胶保护的多晶硅电极区, 非圆形区域为刻蚀区域, 多晶硅被刻蚀干净后可见颜色一致的氧化层介质)。

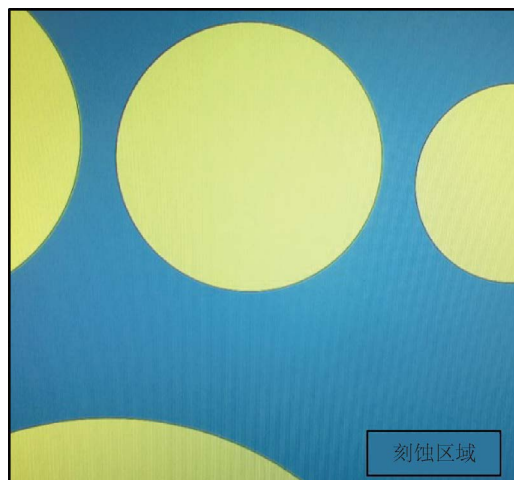


Figure 9. Polysilicon etching result after optimized process

图 9. 优化工艺后的多晶硅刻蚀结果

将以上经优化后的多晶硅栅刻蚀工艺流程应用于一款 6500 V/20 A SiC MOSFET 芯片制备, 实测其输出特性如下图 10 所示。 $V_{GS} \leq 8 \text{ V}$ 时, 器件可稳定工作在饱和区域; $V_{GS} > 8 \text{ V}$ 时, 表现出良好的压控特性, $I_d < 20 \text{ A}$ 的工作电流下, $V_{ds} < 5 \text{ V}$, 该器件可持续工作在可变电阻区。

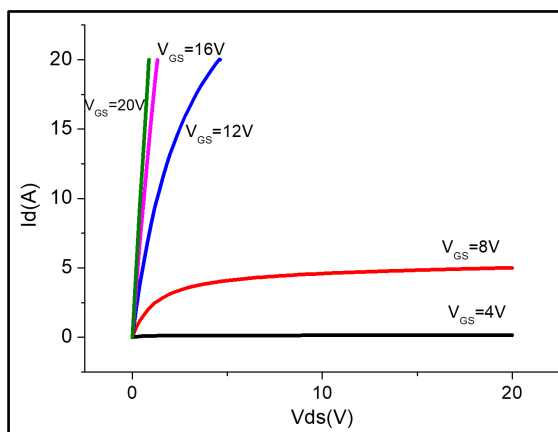


Figure 10. Output characteristic curve of a 6500 V/20 A SiC MOSFET

图 10. 6500 V/20 A SiC MOSFET 的输出特性曲线

5. 结论

本文通过工艺实验及理论分析, 优化了掺杂多晶硅的刻蚀工艺步骤, 采取 DHF 对多晶硅表面预处理的方式, 有效去除了刻蚀后的表面颗粒残留。将优化工艺应用于一款 6500 V/20 A SiC MOSFET 中, 器件表现出良好的输出特性。最后, 作者将本研究工作中所提出的工艺要点总结如下:

1) 在光刻前增加表面的 DHF 预处理, 可以有效去除掺杂多晶硅刻蚀可能出现的颗粒残留, 通过此方法适用于由于多晶掺杂工艺的变化进行的多晶刻蚀工艺。

2) 光刻前对多晶的表面处置只限定适用 DHF, 如使用 BOE 去除表面氧化物, 有可能对多晶表面态有影响, 造成外观异常, 外观现象会造成光刻机无法识别。

3) 预处理后到刻蚀前的放置时间不同有可能影响刻蚀效果, DHF 前处理时间 10 mins 只针对从预处理到刻蚀前放置时间不超于 48 小时, 如放置时间较长, 预处理时间要依据实际情况而定。

基金项目

国家电网公司科技项目《碳化硅 MOSFET 沟道自对准工艺研究》(项目编号: 5500-201958481A-0-0-00)。

参考文献

- [1] 王守国, 张岩. SiC 材料及器件的应用发展前景[J]. 自然杂志, 2011, 33(1): 42-53.
- [2] Matocha, K., Chow, T.P. and Gutmann, R.J. (2005) High-Voltage Normally Off GaN MOSFETs on Sapphire Substrates. *IEEE Transactions on Electron Devices*, **52**, 6-10. <https://doi.org/10.1109/TED.2004.841355>
- [3] Noborio, M., Suda, J. and Kimoto, T. (2008) 4H-SiC Double RESURF MOSFETs with a Record Performance by Increasing RESURF Dose. *20th International Symposium on Power Semiconductor Devices and IC's*, Vol. 18, 263-266. <https://doi.org/10.1109/ISPSD.2008.4538949>
- [4] CREE 公司 SiC 产品报告[Z/OL]. <https://www.wolfspeed.com/power/products/sic-bare-die-mosfets>
- [5] Ozpineci, B. and Tolbert, L.M. (2003) Comparison of Wide-Bandgap Semiconductors for Power Electronics Applications. Oak Ridge National Laboratory, Tennessee, 6-22. <https://doi.org/10.2172/885849>
- [6] Colinge, J.P. and Colige, C.A. (2006) *Physics of Semiconductor Devices*. Springer, New York, 51-68.
- [7] 曾莹, 严利人, 王纪民, 等. 微电子制造科学原理与工程技术[M]. 北京: 电子工业出版社, 2003.
- [8] 刘玉岭, 檀柏梅, 张楷亮. 微电子工程[M]. 北京: 电子工业出版社, 2004.
- [9] 陈乐乐, 朱亮, 包大勇, 等. 蚀刻腔条件对刻蚀工艺的影响研究[J]. 半导体技术, 2008, 33(12): 1088-1090.
- [10] 陈永生, 汪建华. 氟气对多晶硅刻蚀的影响[J]. 表面技术, 2003, 32(2): 19-21.
- [11] Ullal, S.J., Godfrey, A.R., Ede lberg, E., et al. (2002) Effect of Chamber Wall Conditions on Cl and Cl₂ Concentrations in an Inductively Coupled Plasma Reactor. *Journal of Vacuum Science & Technology A*, **20**, 43-52. <https://doi.org/10.1116/1.1421602>
- [12] Oehrlein, G.S., Matsuo, P.J., Doemling, M.F., et al. (1996) Study of Plasma-Surface Interactions: Chemical Dry Etching and High-Density Plasma Etching. *Plasma Sources Science and Technology*, **5**, 193-199. <https://doi.org/10.1088/0963-0252/5/2/012>
- [13] Cunge, G., Ko gelschatz, M., Joubertl, O., et al. (2005) Plasma Wall Interactions during Silicon Etching Process in High-Density HBr/Cl₂/O₂ Plasmas. *Plasma Sources Science and Technology*, **14**, 42-52. <https://doi.org/10.1088/0963-0252/14/2/S06>
- [14] Mastro, M.A. (2019) Power MOSFETs and Diodes. In: Pearton, S., Ren, F. and Mastro, M., Eds., *Gallium Oxide: Technology, Devices and Applications*, Elsevier, Amsterdam, 401-418. <https://doi.org/10.1016/B978-0-12-814521-0.00017-8>
- [15] Ceccarelli, L., Bahman, A.S. and Iannuzzo, F. (2019) Impact of Device Aging in the Compact Electro-Thermal Modeling of SiC Power MOSFETs. *Microelectronics Reliability*, **100-101**, Article ID: 113336. <https://doi.org/10.1016/j.microrel.2019.06.028>
- [16] Xue, X., Zhou, K., Cai, J., Wang, Q. and Wang, Z. (2018) Reactive Ion Etching of Poly(cyclohexene carbonate) in Oxygen Plasma. *Microelectronic Engineering*, **191**, 1-9. <https://doi.org/10.1016/j.mee.2018.01.017>
- [17] Younga, D.L., Chenb, K., Theingia, S. and La Salviala, V. (2020) Reactive Ion Etched, Self-Aligned, Selective Area Poly-Si/SiO₂ Passivated Contacts. *Solar Energy Materials and Solar Cells*, **217**, Article ID: 110621. <https://doi.org/10.1016/j.solmat.2020.110621>
- [18] Mikhaylov, A.I., Afanasyev, A.V., Ilyin, V.A., Luchinin, V.V., Reshanov, S.A. and Schöner, A. (2020) High-Power 4H-SiC MOSFET with an Epitaxial Buried Channel. *Semiconductors*, **54**, 122-126. <https://doi.org/10.1134/S1063782620010157>