

多码率码型QC-LDPC编码器的FPGA实现

颜炳佳, 吴录辉

合肥工业大学, 安徽 合肥

收稿日期: 2022年3月21日; 录用日期: 2022年4月19日; 发布日期: 2022年4月28日

摘要

LDPC码作为一种线性分组码, 具备优异的纠错性能, 被广泛应用在无线通信中的信道编码领域。采用QC-LDPC生成矩阵的编码方法, 设计了一个支持多码率准循环低密度校验码的编码器, 编码器的硬件结构由生成校验码单元(gccu)、源码暂存单元(ocsu)和控制单元(ctrl)等三个主要部分构成, ocsu通过对存储单元进行切割, 采取乒乓操作, 在数据对乒乓路原始数据进行编码的同时, 将另一帧数据写入乒乓路, 提高了编码速率; gccu实现编码的运算过程以及对生成矩阵进行预存储, 通过分析各种码型生成矩阵的特点, 对矩阵进行划分, 提取必要生成向量进行缓存, 减少资源占用; 为了满足多种码型、码率的编码需求, 加入配置信号, 可以根据不同矩阵列块数量、块大小的不同分别选择相应数量的运算单元以及运算次数。此套编码器共支持四种码率、六种码型的编码模式, 并支持后续的快速拓展。在XILINX的XC7K325tffg900 FPGA上, 采用verilog语言完成了各种码率的仿真综合, 同时搭建MATLAB软件模型进行验证, 证明了本方案的可行性与有效性。

关键词

QC-LDPC FPGA, 校验矩阵

FPGA Implementation of Multi-Bitrate Pattern QC-LDPC Encoders

Bingjia Yan, Luhui Wu

Hefei University of Technology, Hefei Anhui

Received: Mar. 21st, 2022; accepted: Apr. 19th, 2022; published: Apr. 28th, 2022

Abstract

As a linear packet code, LDPC code has excellent error correction performance and is widely used in the field of channel coding in wireless communications. Using the QC-LDPC generation matrix

coding method, designed an encoder that supports multi-bitrate quasi-cyclic low-density check digitization, the hardware structure of the encoder is composed of three main parts such as generating the checksum unit (gccu), the source code staging unit (ocsu) and the control unit (ctrl). ocsu cuts the storage unit and performs ping-pong operation. When the original data is encoded on the ping circuit, another frame of data is written onto the ping circuit to improve the coding rate. gccu implements the operation process of coding and pre-storage of the generation matrix. By analyzing the characteristics of the generation matrix of various code types, the matrix is divided and the necessary generation vector is extracted for caching to reduce the occupation of resources. In order to meet the coding requirements of various code types and code rates, the corresponding number of operation units and operation times can be selected according to the different numbers and sizes of blocks in different matrix columns by adding configuration signals. This set of encoders supports a total of four-bit rates, six code patterns of coding modes, and supports subsequent rapid expansion. On XILINX's XC7K325tffg900 FPGA, a simulation synthesis of various bitrates was completed using the verilog language. At the same time, the MATLAB software model was built for verification, which proved the feasibility and effectiveness of the scheme.

Keywords

QC-LDPC FPGA, Validation Matrix

Copyright © 2022 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

LDPC (Low-Density Parity-Check Codes, 低密度奇偶校验码)作为一种前向纠错码,最早在 20 世纪 60 年代由 Gallager 提出[1] [2], LDPC 码具备优异的纠错性能,其性能可以逼近香农极限,但是随机构造的 LDPC 码由于没有比较明显的结构特征,存在编译码的复杂度高以及矩阵存取困难等问题,不利于硬件实现,准循环 LDPC (QC-LDPC, Quasi-Cyclic Low-Density Parity-Check Codes)是一种几何化的 LDPC 编码,在具备 LDPC 编码优点的同时,算法的低复杂度以及生成矩阵的规律性都提高了 QC-LDPC 编码的可实现性。

经过近十几年的发展研究,随着 LDPC 码的相关技术日趋成熟[3] [4],研究人员对 LDPC 编码器进行了大量研究[5]-[10],文献[4]中,作者基于 QC-LDPC 提出了一种基于生成矩阵的编码结构,编码的复杂度和源码的长度成正相关,极大地降低了编码运算的复杂度,但是该文献并没有描述详细的编码器整体架构。文献[5]给出了一种基于生成矩阵的部分并行编码器方案并实现了三种码率的编码,但是三种码率的生成矩阵在构造形式上一致,具体体现在生成矩阵的子矩阵大小均为 127,使得生成矩阵的构造以及编码的运算过程相对简单。

综上所述,目前已有的研究大多为 LDPC 译码器的实现,对于 LDPC 编码器的研究较少,此外,随着各种协议中 LDPC 的码标准不断更新,编码的码率以及构造编码所需的生成矩阵形式都在不断增加,而已有的 LDPC 编码器往往只能支持单一的编码码率和生成矩阵形式,势必会造成资源的浪费,影响 LDPC 编码器的更新迭代。

基于此,本文通过研究 LDPC 的编码算法和生成矩阵的矩阵特征,对编码的存储方式以及运算单元做了相应的改进,设计了一种可以同时支持四种码率和六种码型的 LDPC 编码器。

2. LDPC 编码基本原理

LDPC 码可以通过校验矩阵或者生成矩阵来定义, 它的特点是在校验矩阵中元素“0”的数量远比元素“1”多, 元素“1”的密度非常低, 使得校验矩阵具有很强的稀疏性。对于码长为 m 的发送码, 其中信息位长度为 n , 那么校验位码长为 $k = m - n$, 码率为 n/m , 校验码的产生只与长度为 n 的信息位有关。LDPC 码根据 H 校验矩阵可以分为规则 LDPC 和非规则 LDPC, 规则 LDPC 的校验矩阵中每行和每列有着相同个数的元素“1”, 即行重列重相同, 反之, 行重或者列重不同的称之为非规则 LDPC。图 1 为随机构造的一个(6, 2, 3)的规则 LDPC 矩阵及其 Tanner 图。

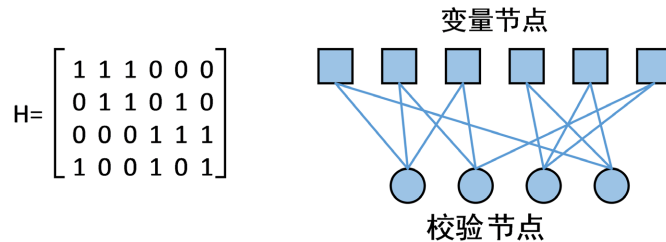


Figure 1. The 6 encoding methods supported by the LDPC encoder
图 1. LDPC 编码器支持的 6 种编码方式

该矩阵每行的元素“1”数量相同, 均为 3, 行重为 3; 每列的元素“1”数量相同, 均为 2, 列重为 2, 为规则 LDPC 矩阵。按照一般的线性分组码, H 校验矩阵的码率计算公式为: (矩阵列数 - 矩阵行数)/矩阵列数, 故该 H 校验矩阵的码率为 1/2。将 Tanner 图对应到校验矩阵中, 校验节点的数量对应矩阵的行数 4, 变量节点的数量对应矩阵的列数 6, 每个校验节点连接三个变量节点, 每个变量节点与两个校验节点相连, 当 LDPC 码的码长变得更长时, 矩阵的稀疏性也就更好。

准循环 LDPC (QC-LDPC, Quasi-Cyclic Low-Density Parity-Check Codes) 是一种几何化的 LDPC 编码, 它的校验矩阵可以分为众多大小相同的子矩阵, 每个子矩阵都是单位矩阵循环移位得到或者是全零的方阵。每个子矩阵的具体特点如下:

- 1) 每个子矩阵都是一个方阵。
- 2) 子矩阵的每一行都是由上一行向右移动一位得到的(矩阵的第一行由最后一行循环右移一位得到), 同样地, 循环移动列也可以得到该子矩阵。
- 3) 只通过一个行向量或者列向量的不断循环移位就可以构造出完整的校验矩阵。

QC-LDPC 的 H 校验矩阵可以表示为:

$$H = \begin{bmatrix} A_{11} & A_{12} & \cdots & A_{1c} \\ A_{21} & A_{22} & \cdots & A_{2c} \\ \vdots & \vdots & \ddots & \vdots \\ A_{t1} & A_{t2} & \cdots & A_{tc} \end{bmatrix}$$

式中 $A_{i,j}$ 为循环子矩阵, 循环子矩阵为 $B \times B$ 大小的零矩阵或者由循环行列式构成的循环方阵, B 代表子矩阵的块大小, 跟随不同编码码率变化。得到 H 校验矩阵后, 通过 H 校验矩阵与 G 生成矩阵之间的正交性 $H \times G^T = 0$, 推导出 LDPC 编码所需的 G 生成矩阵。

根据上述原理, 使用软件对编码进行预处理, 首先通过 MATLAB 软件对校验矩阵的原始矩阵求解得到实际的校验矩阵, 原始矩阵的形式为 $H = [p(m, n)]_{\times c}$, 如果 $p(m, n)$ 的值等于 0, 代表 $A_{m,n}$ 矩阵为单位矩阵, 如果 $p(m, n)$ 的值等于 -1, 代表 $A_{m,n}$ 矩阵为单位零矩阵, 如果 $p(m, n)$ 的值是一个大于零的数值 X ,

代表 $A_{m,n}$ 矩阵为经过 X 次右移循环的单位矩阵, 所有情况的单位矩阵大小均由该编码码型唯一决定。

3. LDPC 编码器的总体方案

设计出的编码器共支持 4 种码率、6 种编码方式, 每种编码的矩阵特征均不相同。LDPC 编码器支持的 6 种编码方式见表 1 所列。

Table 1. 6 encoding methods supported by the LDPC encoder

表 1. LDPC 编码器支持的 6 种编码方式

码率	总码长	校验码	源码	行块数(L)	列块数(c)	块大小(B)	H 矩阵
1/4	4032	3024	1008	6	18	168	18×24
1/2	2016	1008	1008	12	12	84	12×24
1/2	8064	4032	4032	12	12	336	12×24
3/4	2016	504	1512	18	6	84	6×24
3/4	8064	2016	6048	18	6	336	6×24
7/8	8064	1008	7056	21	3	336	3×24

3.1. LDPC 编码器硬件结构

LDPC 编码器由生成校验码单元(gccu)、源码暂存单元(ocsu)和控制单元(ctrl)组成。为了使硬件同时支持多种码率码型的编码要求, 在源码暂存单元对多种码率的生成矩阵进行存储, 具体为根据生成矩阵的行数、列数等矩阵特征, 提取各子矩阵的基向量存入 ROM 中。在生成校验码单元, 以生成矩阵的一个列块为一个运算对象, 运算单元的数量和码率中最大矩阵列块数相同, 在实际运算时, 根据不同码率的配置信号选择相应数量的运算单元, 当源码长度为 length 时, 获得校验结果的时间为 $length + n$ ($n < 5$) 个周期。

由于本 LDPC 编码的输出数据格式为校验码在前, 源码在后, 所以在源码进入生成校验码单元的同时也传输进入源码暂存单元, 通过源码暂存单元对输入编码器的源码数据进行缓存, 等到生成校验单元将校验结果全部发送后, 紧接着将源码流输出。控制单元根据全局配置信号确定本次编码的码型并产生相应的控制信号, 这些信号包括源码长、块大小、乒乓操作信号等。编码器的整体硬件结构如图 2 所示。

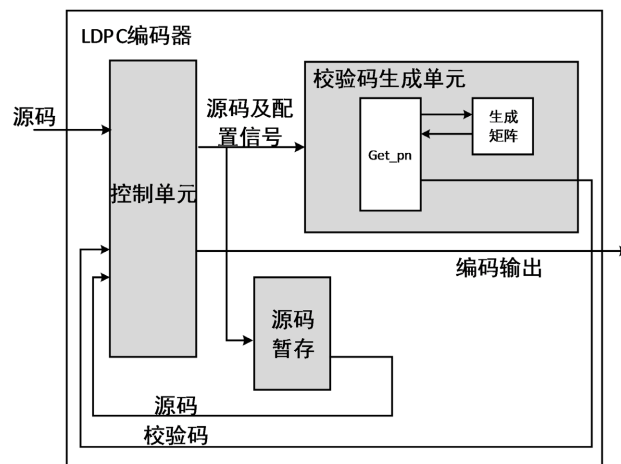


Figure 2. Overall structure diagram of the LDPC encoder

图 2. LDPC 编码器整体结构图

3.2. 编码器各部分具体实现

3.2.1. 生成校验码单元

生成校验码单元的结构如图 3 所示。6 种编码方式中最大列块数 c 为 18, 为了使用同一套硬件支持所有编码方式, 运算单元 get_pn 的数量选定为 18, 每个 get_pn 单元的计算对象为一个列块。生成校验码单元由 18 个运算单元 get_pn 和 1 个生成矩阵存储单元 get_matrix 组成。每个 get_pn 单元的计算对象为一个列块, 可以完成 $L*B$ 次乘累加运算; 18 个 get_pn 同时计算, 可以同时完成 $18*L*B$ 路乘累加运算。在生成矩阵存储单元 get_matrix 中, 18 个 ROM 核根据 .coe 文件存储 get_pn 所需的多个码率对应的生成矩阵。

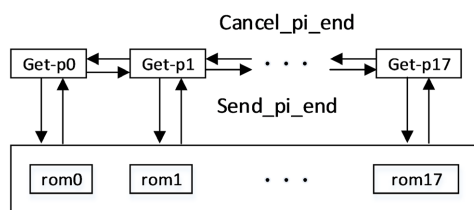


Figure 3. Generate a check code structure diagram
图 3. 生成校验码结构图

1) get_pn 单元

为了提高编码效率, 运算单元 get_pn 采取乒乓计算的方式。对每个 get_pn 进行编号分配, 当生成矩阵的列块数, 也就是编码所需的 get_pn 运算单元数量大于该 get_pn 的编号时, 使能该 get_pn 单元输出一个列块的编码数据。 get_pn 编码的时序如图 4 所示。输入数据被延时 3 个周期, 延时的第一个周期确定读 ROM 的地址, 延时的第二个周期读 ROM, 延时的第三个周期获得生成矩阵。在一个块计算结束前, 为了使下一个块能够连续计算, 所以提前 3 个周期更新读 ROM 的地址。

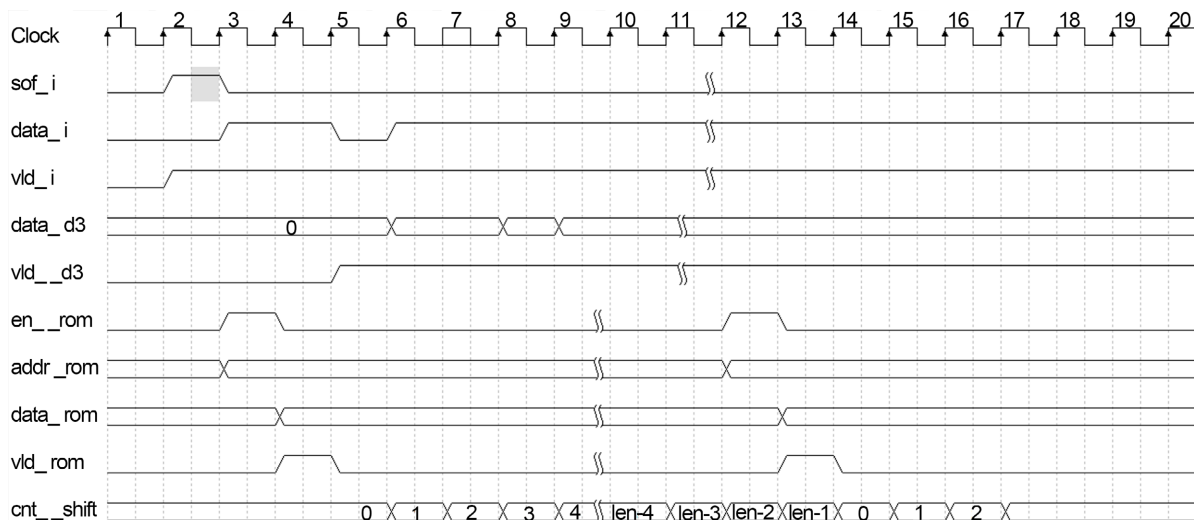


Figure 4. Coding timing diagram
图 4. 编码时序图

2) 生成矩阵存储单元 gen_matrix

本单元主要用来存储 LDPC 编码器的 G 生成矩阵, 由准循环 LDPC 码的原理可以知道, 实际的 G 生

成矩阵可以根据一定数量的生成向量 g 唯一确定, 同时考虑减少矩阵存储单元的资源占用, 选择将这些 g 生成向量存储在 ROM 存储器中, 这样原本需要 $L \times B$ 个存储空间, 通过只存储生成向量的办法只需要 L 个存储空间。18 个 ROM 的数据存储格式如图 5 所示。

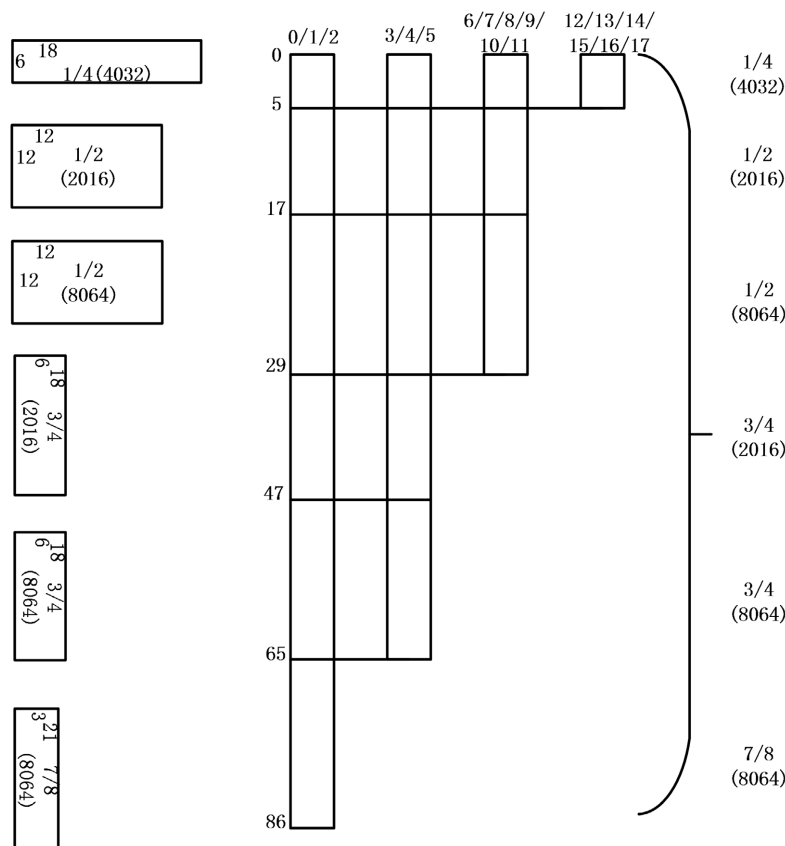


Figure 5. Data storage format
图 5. 数据存储格式

3.2.2. 源码暂存单元

源码暂存单元采用乒乓存储的方式对进入 LDPC 编码器的源码数据流进行缓存, 在 6 种编码方案中, 源码的长度最大为 7056, 为了能够同时对两帧的源码数据进行存储, 所需双端口存储器的维度应该不低于 2×7056 , 为此例化一个深度为 16,384 的双端口 RAM 核, 其中一个端口用来写入源码, 另一个端口用来读出源码。在 A 端口写入一帧数据时, B 端口可以同时读出另一帧数据。通过控制单元传输进来的 ping_pang 信号控制乒乓操作的完成。当 ping_pang 等于 1 时, 源码按照 ping 路保存, 在源码缓存进入双端口 RAM 时, 选择写 ROM 操作的起始地址为 8192, 当 ping_pang 等于 0 时, 源码按照 pong 路保存, ROM 缓存源码的起始地址为 0。

3.2.3. 控制单元

控制单元的作用为: 对本次编码所需的配置信息进行完善, 同时控制乒乓操作的转变状态以及添加数据输出有效信号。LDPC 编码器的顶层模块根据输入的码率选择信号对本次编码所需的配置信号进行赋值, 配置信号包括编码器所需的列块数、源码长度、子矩阵块大小等, 配置完成后输出给源码缓存单元、校验码生成单元并开始本次编码。

4. 仿真与实现结果

按照上文叙述的 QC-LDPC 硬件结构，使用 verilog 语言进行描述，在 ISE10.1 平台上完成编码器的编译、综合、布局布线，并在 FPGA 上实现设计，FPGA 采用 XILINX 公司 Kintex®-7 系列，具体的型号为 XC7K325tffg900，同时将每种码型下编码器的输出结果与同种码型的 MATLAB 模型输出结果比对，发现两者数据相同证明编码结果正确。编码器的工作时钟为 144Mhz，FPGA 资源消耗情况见表 2 所示。

Table 2. Resource consumption
表 2. 资源消耗情况

Slices	LUTS	BRAM	工作频率(MHz)
4568	16,935	508	144

根据吞吐量计算公式：

$$T = \frac{n_{LDPC} \times f_{max}}{n_{clk}}$$

式中 N 表示一帧 LDPC 编码中的源码比特数， F 表示编码器的工作时钟频率， n 表示编码器处理进行一帧编码消耗的时钟数。

由此可得本编码器的吞吐量为 143.289 Mbps，逻辑单元在 FPGA 中的占比约为 6%，存储器单元占比约 8%。在文献[6]中，逻辑资源和存储器资源占比分别为 7%、6%，本文在资源没有大量增加的情况下，完成了四种码率共六种编码方式的编码器实现，具备一定的实用性。

5. 总结

本文分析 QC-LDPC 的编码过程，设计了一套支持多码率多码型的可配置 LDPC 编码器，在 XC7K325tffg900 FPGA 上完成硬件设计，通过仿真结果说明，本编码器在不降低纠错性能的同时，占用了较少的 FPGA 资源，能够支持多种码率码型的编码需求。

参考文献

- [1] Gallager, R.G. (1962) Low-Density Parity-Check Codes. *IRE Transactions on Information Theory*, **8**, 21-28. <https://doi.org/10.1109/TIT.1962.1057683>
- [2] Gallager, R.G. (1963) Low-Density Parity-Check Codes. The MIT Press, Cambridge. <https://doi.org/10.7551/mitpress/4347.001.0001>
- [3] Richardson, T.J. and Urbanke, R.L. (2001) Efficient Encoding of Low Density Parity-Check Codes. *IEEE Transactions on Information Theory*, **47**, 638-656. <https://doi.org/10.1109/18.910579>
- [4] Li, Z.W., Chen, L., Zeng, L.Q., Lin, S. and Fong, W.H. (2006) Efficient Encoding of Quasi-Cyclic Low-Density Parity-Check Codes. *IEEE Transactions on Communications*, **54**, 71-81. <https://doi.org/10.1109/TCOMM.2005.861667>
- [5] 赵岭, 张晓林. 一种准循环低密度校验码部分并行编码结构设计[J]. 航空学报, 2009, 30(1): 109-114.
- [6] 吴文俊, 张锐, 程敏敏. 基于 FPGA 的 LDPC 编译码的高速并行化设计与实现[J]. 通信技术, 2020(10): 2581-2587.
- [7] Yao, X.X., Li, L.T., Liu, J.H. and Li, Q. (2021) A Low Complexity Parallel QC-LDPC Encoder. 2021 *IEEE MTT-S International Wireless Symposium (IWS)*, Nanjing, 23-26 May 2021, 1-3.
- [8] Goriushkin, R., Nikishkin, P., Ovinnikov, A., Likhobabin, E. and Vityazev, V. (2020) FPGA Implementation of LDPC Encoder Architecture for Wireless Communication Standards. 2020 *9th International Conference on Modern Circuits and Systems Technologies (MOCAS)*, Bremen, 7-9 September 2020, 1-4. <https://doi.org/10.1109/MOCAS49295.2020.9200293>
- [9] 李剑凌, 陈斌杰. 基于最小和算法的 QC-LDPC 译码器的 FPGA 实现[J]. 应用科技, 2020, 47(5): 35-40.
- [10] 肖晓, 吴学智, 隗小斐. 基于 LDPC 码的水声扩频通信性能仿真[J]. 舰船电子工程, 2021(8): 155-158.