

# A Four-Sampling Lower Noise Readout Circuit for CMOS Detector

Honghui Yuan<sup>1\*</sup>, Yongping Chen<sup>1</sup>, Zhiwei Huang<sup>2</sup>, Yao Chen<sup>1</sup>, Xin Wang<sup>1</sup>, Shijun Chen<sup>1</sup>

<sup>1</sup>Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai

<sup>2</sup>Key Laboratory of Micro-Satellite, Innovation Research Institute of Micro-Satellite, Chinese Academy of Sciences, Shanghai

Email: [yuanhonghui@163.com](mailto:yuanhonghui@163.com)

Received: May 14<sup>th</sup>, 2019; accepted: May 27<sup>th</sup>, 2019; published: Jun. 3<sup>rd</sup>, 2019

---

## Abstract

In order to meet the requirements of high sampling rate of imaging detection, a four sampling long-line CMOS detector with 6 MHz sampling frequency is designed in this paper. By reducing the width to length ratio of the first stage P-type following transistor to decrease the bus parasitic capacitance and reducing the bias voltage of the P-type following load transistor to increase the driving current, thus the sampling frequency of the read-out circuit is increased from the original 2 MHz to the 6 MHz, which effectively improves the readout frequency of the long-line visible light CMOS detector. In order to achieve truly correlated double sampling and reduce the equivalent input noise of the device, the four sampling is used to connect CTIA integral amplifier. Through the test, the CMOS detector possesses an equivalent input noise electron less than 50e when the integral time is 200 us and the area of photosensitive is 20 um × 18 um, it can work steadily at the sampling rate of 6 MHz. The linearity, the output swing and the sensitivity of the detector can meet the requirements of the system. The development of the CMOS detector has laid an important theoretical foundation and practical value for the future ultra high speed and high definition imaging detection.

## Keywords

Four Sampling, Rate Optimization, Low Noise, CMOS Readout Circuit

---

# 一种四采样低噪声CMOS光电探测器读出电路

袁红辉<sup>1\*</sup>, 陈永平<sup>1</sup>, 黄志伟<sup>2</sup>, 陈瑶<sup>1</sup>, 王欣<sup>1</sup>, 陈世军<sup>1</sup>

<sup>1</sup>中国科学院上海技术物理研究所, 中国科学院红外成像材料与器件重点实验室, 上海

<sup>2</sup>中国科学院微小卫星创新研究院微小卫星重点实验室, 上海

Email: [yuanhonghui@163.com](mailto:yuanhonghui@163.com)

\*通讯作者。

## 摘要

为满足高采样速率可见光成像探测要求,本文设计了一种具有6 MHz采样频率的四采样长线列CMOS探测器。通过减小四采样后的第一级P跟随管宽长比降低总线寄生电容,和减小P跟随负载管偏置电压增加驱动电流,缩小信号延迟,使读出电路的采样频率由原来的2 MHz增加到6 MHz,有效地提高了长线列可见光CMOS探测器的读出频率。为实现真正相关双采样降低器件等效输入噪声,采用了CTIA积分放大器后接四采样跟随电路。通过测试,该CMOS探测器在积分时间为200 us、光敏面面积为20 um × 18 um的情况下其等效输入噪声电子数50e,与未采用四采样时相比较下降了50%左右。其线性度、输出摆幅、灵敏度等方面都能满足整机系统对CMOS探测器的指标要求。该CMOS探测器的研制为未来超高速高清晰成像探测奠定了重要的理论基础和实用基础。

## 关键词

四采样, 速率优化, 低噪声, CMOS读出电路

Copyright © 2019 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

## 1. 引言

随着超大规模集成技术的发展, CMOS 图像传感器显示出强劲的发展趋势, 早在 70 年代初, 国外就已经开发出 CMOS 图像传感器, 但成像质量不如 CCD, 但随着近年超大规模集成技术的飞速发展, CMOS 图像传感器可在单芯片内集成 A/D 转换、信号处理、自动增益控制、精密放大和存储等功能, 大大减小了系统复杂性, 降低了成本, 因而显示出强劲的发展势头, 此外, 它还具有低功耗、单电源、低工作电压、成品率高, 可对局部像元随机访问等突出优点。因此, CMOS 图像传感器重新成为研究、开发的热点, 发展极其迅猛, 目前已占据低、中分辨领域。CMOS 图像传感器的一些参数性能指标已达到或超过 CCD。在航天遥感领域, 可见光成像探测是航天探测的重要组成部分, 为了获取更高分辨率的可见光图像数据, 需要采用小像元长线列的可见光 CMOS 探测器[1]-[6]。

为满足高分辨率对地观测需求, 本论文针对航天遥感领域, 根据目前外协代工厂的加工能力, 采用了 0.35 微米工艺, 设计了 PIN 探测器与读出电路集成的长线列 CMOS 探测器。为实现真正相关双采样降低器件等效输入噪声, 采用了 CTIA 积分放大器后接四采样跟随电路; 通过减小四采样后的第一级 P 跟随管宽长比降低总线寄生电容, 和减小 P 跟随负载管偏置电压增加驱动电流, 缩小信号延迟, 使读出电路的采样频率由原来的 2 MHz 增加到 6 MHz, 有效地提高了长线列可见光 CMOS 探测器的读出频率, 研制了 820 元四采样低噪声高采样速率 CMOS 探测器[7]-[13]。

## 2. CMOS 探测器读出电路设计及原理

### 2.1. 四采样电路结构

四采样读出电路工作模式设计为: 电路分为两组交替工作, 分别用于前后两帧复位信号和积分信号

的采样保持，再通过后续差分电路减除复位电平及复位噪声，从而实现真正的帧内相关采样。通道内所有像素同时积分、同时复位，串行输出，积分与信号输出同时进行的工作模式，即在同一脉冲控制下，所有像素同时复位后开始积分，积分完成以后，所有像素的信号同时采样到各自的保持电路上，在下一帧积分的过程中，上一帧信号按顺序串行读出。图 1 为单列像素电路结构原理图。

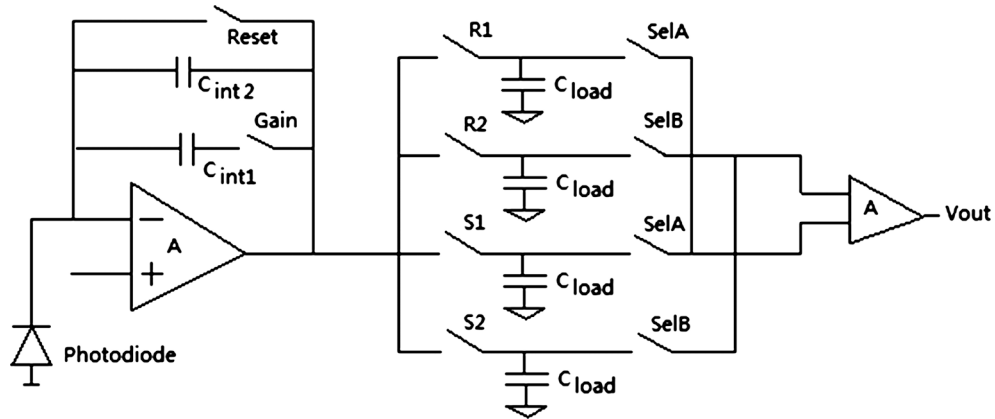


Figure 1. CTIA pixel circuit structure

图 1. CTIA 像素电路结构图

当 *Reset* 为低电平，CTIA 处于积分状态，光电二极管光生电流  $I_{in}$  存储列积分电容  $C_{int}$  上，假定积分时间为  $t$  时，CTIA 输出的积分信号由公式(1)表示。

$$V_{CTIA\_sig} = \frac{1}{1+1/A} \left( V_{ref} + V_{os} + \frac{I_{in} \cdot t}{C_{int}} \right) + \tilde{V}_n \quad (1)$$

其中： $A$  为运放增益， $V_{os}$  为运放输入失调， $\tilde{V}_n$  为像素复位噪声电压。

当 *Reset* 为高电平，CTIA 处于复位状态，由公式(2)表示。

$$V_{CTIA\_ref} = \frac{1}{1+1/A} (V_{ref} + V_{os}) + \tilde{V}_n \quad (2)$$

为减小像素的单元面积，本设计中采用的像素放大电路结构为单端放大器，主放大器只有四个 MOS 管，包括两个 PMOS 管和两个 NMOS 管，为减小噪声，需尽量增加第一级放大器的跨导，采用较大宽长比的输入 MOS 管，本输入管的宽长比设计为 20  $\mu\text{m}/1\mu\text{m}$ 。

## 2.2. 仿真分析

图 2 为像素 CTIA 积分和四采样工作时序图，当 *Reset* 为低电平，CTIA 处于积分状态，光电二极管光生电流  $I_{in}$  存储在列积分电容  $C_{int}$  上；当 *Reset* 为高电平，CTIA 处于复位状态。复位信号由 R1 和 R2 交替输入信号控制，selA 和 selB 输入信号控制 R1 和 R2 复位信号输出，光信号采样由 S1 和 S2 输入信号控制，四个  $C_{load}$  为相应的复位信号保持电容和光积分信号保持电容，两个列选通管由 selA 和 selB 输入信号控制，实现了真正的相关双采样读出方式。各通道最终输出信号为复位信号  $V_{outR}$  和光信号  $V_{outS}$  之差，由每个通道设置的差分放大器进行差分放大后输出，有效地降低了 CMOS 探测器的总噪声。

图 3 为双采样后一级跟随寄生电容为 3 pf 时的仿真结果，上升延迟为 151 ns，不满足采样速率 6 MHz 的频率要求。

为减小延迟，达到 6 MHz 的采用频率，采用减小源级跟随管来减小寄生电容来增加带宽和降低跟随

负载管的偏置电压增大电流来增加带宽。但源级跟随管的设计不能太小，否则会导致跟随后的驱动能力不够，减小源级跟随管后对电路进行了仿真。图 4 为优化后的仿真结果。当采样后一级跟随寄生电容为 3 pf, Vb 从 2 V 降低到 1.5 V, 最后一级差分放大倍数由 2.5 倍增加到 4.5 倍时的仿真结果, 上升延迟为 76.5 nS, 满足采样速率 6 MHz 的频率要求。

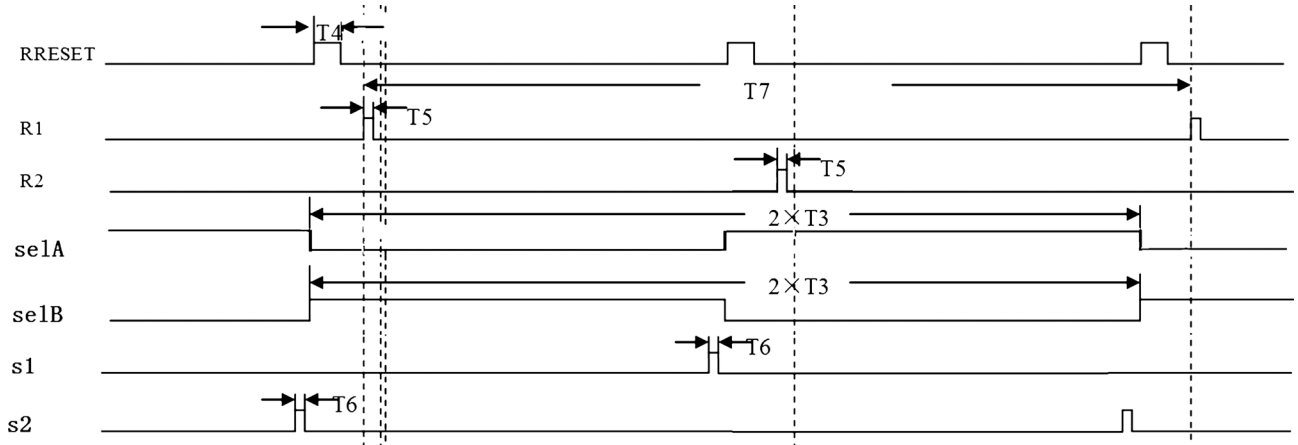


Figure 2. Pixel integration and CDS four sampling work timing diagram  
图 2. 像素积分和 CDS 四采样工作时序图

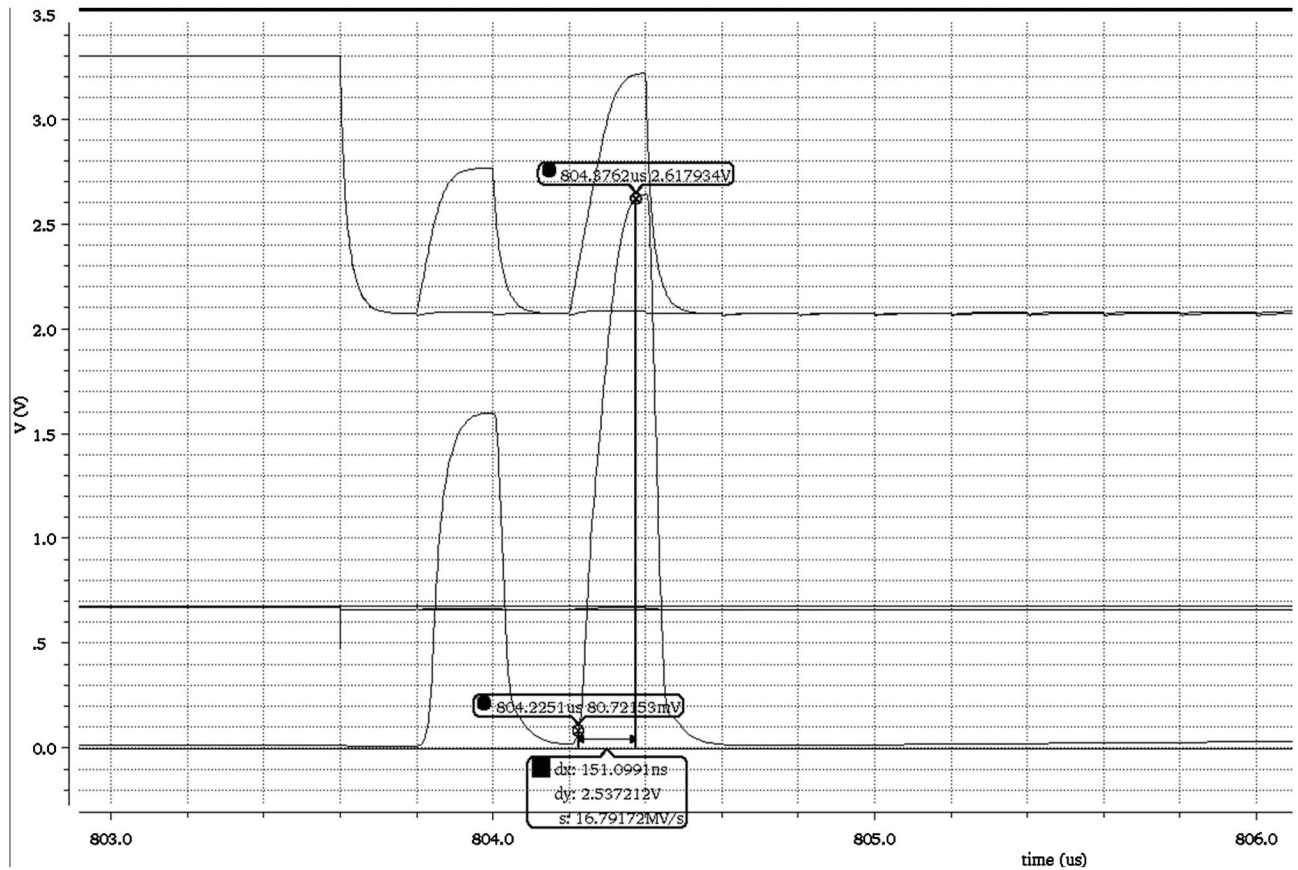


Figure 3. Simulation results when the parasitic capacitance is 3 pf  
图 3. 寄生电容为 3 pf 时的仿真结果



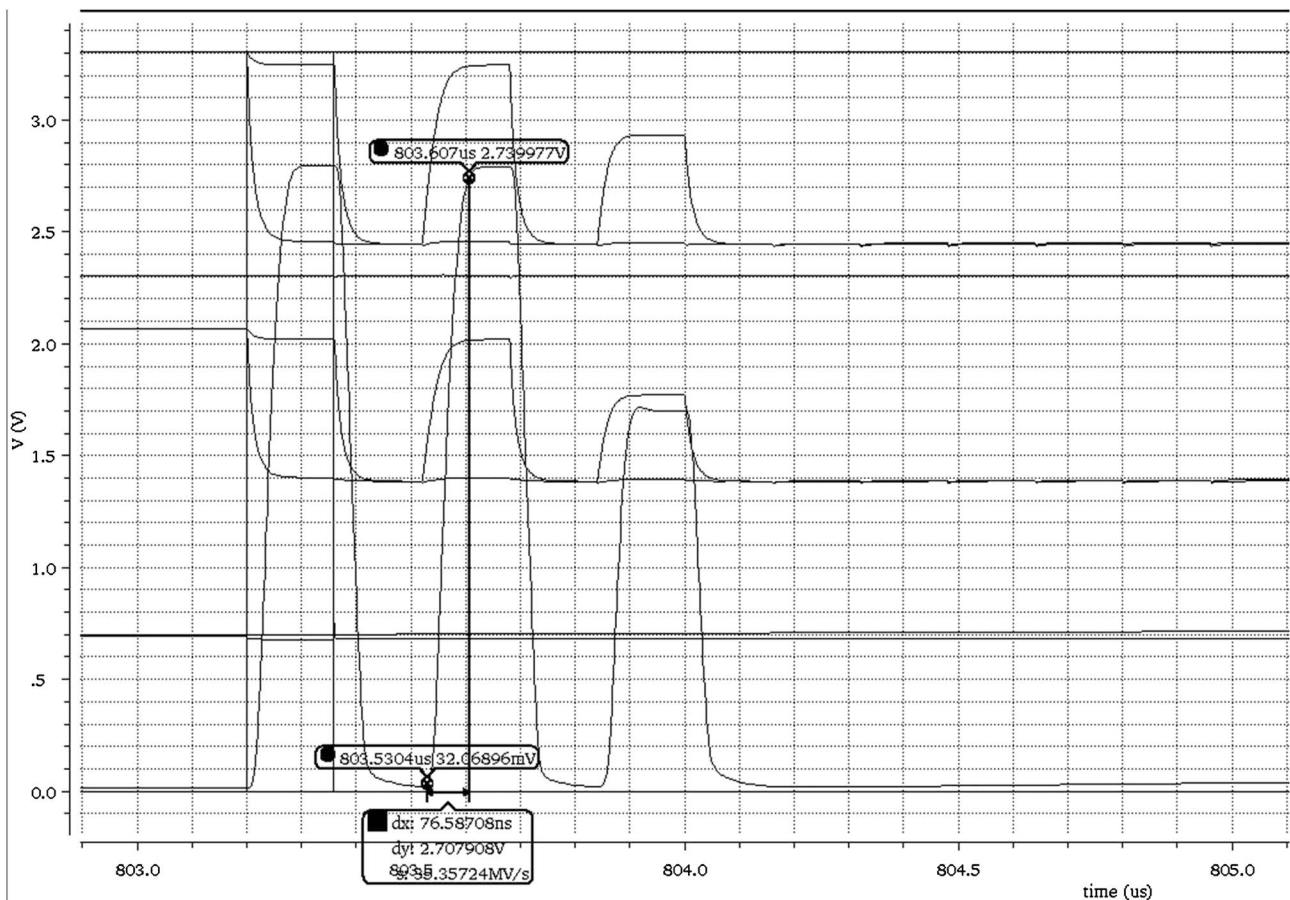


Figure 4. Simulation results when the parasitic capacitance is 3 pf and  $V_b$  is 1.5 V.

图 4. 寄生电容为 3 pf,  $V_b$  为 1.5 V 时的仿真结果

### 2.3. 版图设计

通过大量电路设计仿真比较, 确定最佳电路参数后, 利用版图软件对其电路进行版图设计, 为增加器件的可靠性, 在版图设计中, 尽量增加 P+区与 N+区形成的衬底接触与阱接触的数目抑制闩锁效应, 将 N 阱中的 NMOS 晶体管周围加上接电源的 N+环, 在 NMOS 晶体管周围加上接地电位的 P+环, 在 NMOS 晶体管周围加上接低电位的 P+环, 再将这些扩散环用金属短接, 以减小接电源和接低电位的电阻, 这样可以使得多数载流子在衬底或阱中形成的电阻电压降在注入寄生晶体管基区之前被保护环收集, 不但可以减小寄生电阻阻值, 还可以降低 PNP 管的电流增益, 有效的防止闩锁。

图 5 为 CMOS 低噪声探测器总图及引脚排布。为降低电路总噪声, 所有的数字 PAD 和模拟 PAD 分开布局, 数字电源和模拟电源分开供电, 尽量减小数字的脉冲冲击通过衬底耦合到模拟部分。在画版图时, 所有的放大器对管都采用叉指晶体管, 尽量保证上下和左右对称, 这样可以减小 CMOS 差分运算放大器的输入端失调, 特别是差分放大器的输入管, 尤为重要, 在本电路中, 由于差分输入对管采用了上下和左右对称, 这在很大程度上减小了整个差分运算放大器的输入失调, 提高了电路的对称性能, 降低了失调电压引起暗电流带来的电路总噪声。

### 2.4. 器件封装设计

根据芯片尺寸封装测试要求, 设计了 28 双列直插(DIP)管座, 如图 6 所示。这种管座具有封装密度

高，可靠性高等优点。每个管座共有 28 根插针，内腔面积  $24\text{ mm} \times 8\text{ mm}$  左右。为降低杂散光干扰降低噪声，满足滤光片和窗口封装要求，管座内腔设计了三层台阶。

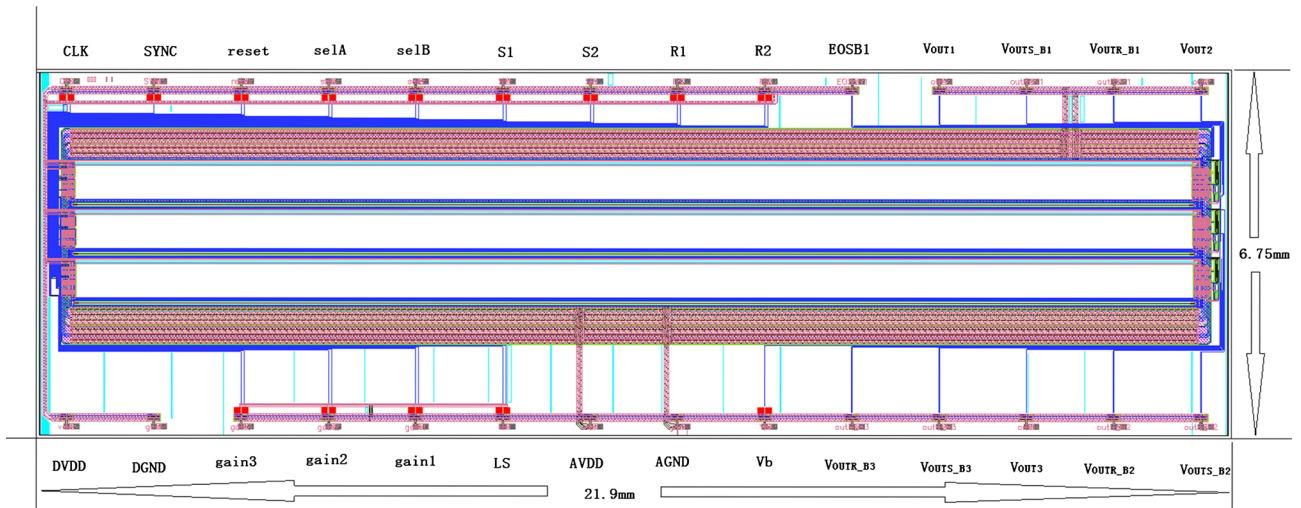


Figure 5. CMOS detector general map and pin layout  
图 5. CMOS 探测器总图及引脚排布

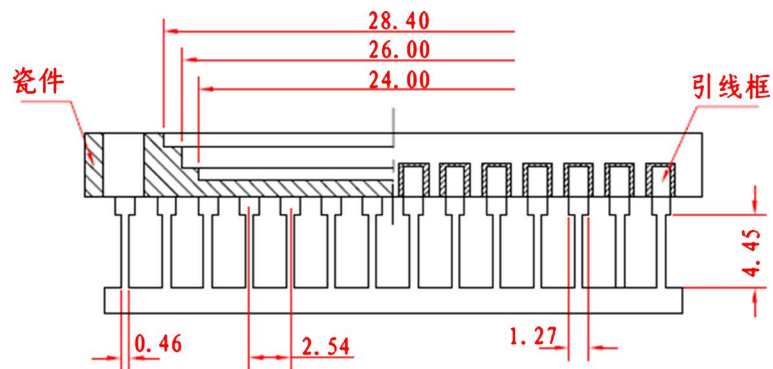


Figure 6. DIP28 double in-line ceramic socket  
图 6. DIP28 双列直插陶瓷管座

### 3. 测试结果

#### 3.1. 时序驱动条件

图 7 为 CMOS 探测器四采样读出电路全部工作时序图，CLK 为时钟脉冲，SYNC 为帧周期的起始脉冲，RESET 为帧周期的复位脉冲，R1 和 R2 为复位后的复位采样信号脉冲，S1 和 S2 为积分完成后的信号采样脉冲，selA 和 selB 为两个阶段，R1 和 S1 是在 selA 为低电平时采样保持在各自的采用电容上，在 selA 为高电平时按顺序读出，R2 和 S2 是在 selB 为低电平时采样保持在各自的采用电容上，在 selB 为高电平时按顺序读出，selA 和 selB 为相反的时序脉冲。当 RESET 为低电平时，CTIA 处于积分状态，光敏探测器光生电流存储在积分电容上；当 RESET 为高电平时，CTIA 处于复位状态。复位信号由 R1 和 R2 交替输入信号 selA 和 selB 控制，采样信号由 S1 和 S2 交替输入信号 selA 和 selB 控制，即 selA 和 selB 交替控制 R1、S1 输出和 R2、S2 的输出。各通道最终输出信号为相关的光信号和复位信号之差，实现真正的相关采样降低电路的相关噪声，最终由每个通道的输出放大器进行差分放大输出，降低了固定图像

噪声以及  $1/f$  噪声影响。

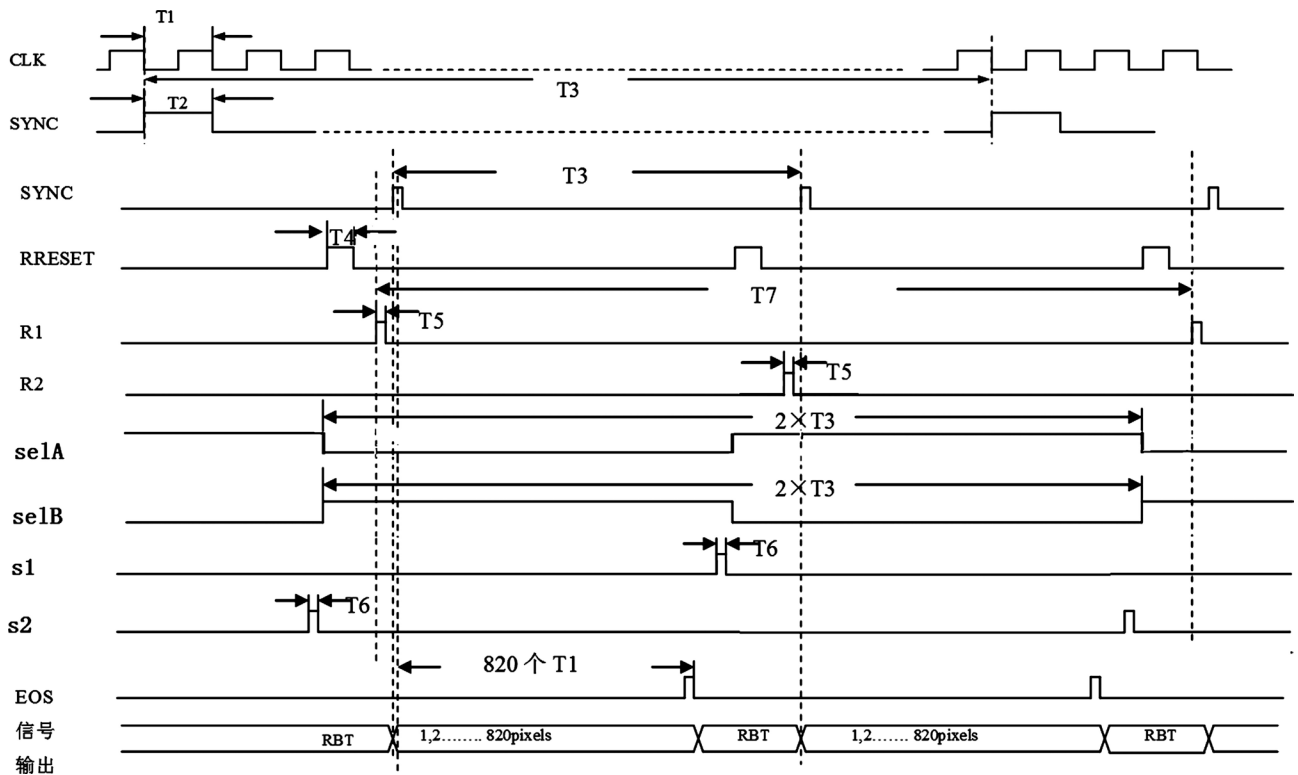


Figure 7. CMOS detector four sampling readout circuit working pulse

图 7. CMOS 探测器四采样读出电路工作脉冲

### 3.2. 功能测试

器件采用 3.3 伏供电，在外驱动正常加载的情况下，调节输入时钟频率为 6 MHz，在示波器上能读出探测器的输出电信号，增加和减弱输入的光强，能在示波器上看到输出信号的增加和减小，说明该 CMOS 探测器能 6 MHz 采样速率的情况下正常工作。

### 3.3. 线性度测试

当 CP 频率为 6 MHz，帧周期为 200  $\mu$ S，积分时间 188  $\mu$ S，Vb 偏压为 1.3 V，AVdd 工作电压为 3.3 V，DVdd 工作电压为 3.3 V，片上差分放大，其线性度的测试结果如图 8 所示。

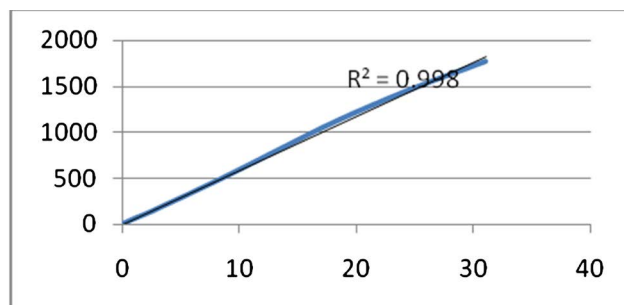


Figure 8. Linearity test results

图 8. 线性度测试结果

从图 8 可以看出, 其线性度大于 99%。

### 3.4. 上升下降时间测试

在测试条件和线性度测试条件相同的情况下, 进行了上升和下降延时的测量, 测试结果如图 9 所示, 其上升时间为 100 ns, 下降时间为 50 ns, 总延时小于 150 ns, 满足 6 MHz 的工作采样频率要求。

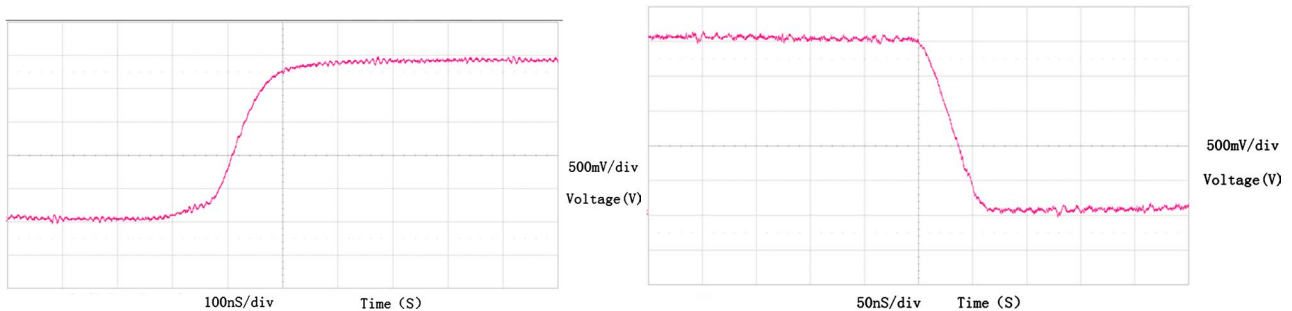


Figure 9. Rise and fall time test results

图 9. 上升下降时间测试结果

### 3.5. 噪声测试

在环境稳定无输入信号照射的条件下, 利用多次(100 次)采样求均方差的方法测量每个响应元的噪声。该系统利用 Labview 编写了标准的噪声测试程序, 用 NI6110 采集卡对各个探测元的输出电压进行采样。将读出电路的移位寄存器输出脉冲连接到采样系统中进行同步, 在测试时, 采样次数设定为 100 次, 采样完成后, 该程序求出每元的 100 次采样电压的均方根噪声电压。为减小环境噪声对电路的干扰及提高测试准确性, 噪声测量时, 把测试系统的低噪声放大器倍数设置为 100 倍, 当 CP 频率为 6 MHz, 帧周期为 200  $\mu$ S, 积分时间 188  $\mu$ S, Vb 偏压为 1.3 V, Avdd、DVdd 工作电压为 3.3 V, 片上差分放大; 高增益四采样时, 经多次检测, 测试结果为小于 1 mV。按照等效电荷增益计算, 其等效输入噪声电子数为 50e, 与未采用四采样时相比较下降了 50%左右。

## 4. 结论

为满足低噪声高采样速率高分辨率可见光成像探测要求, 本文设计研制了一种具有 6 M 采样频率的四采样低噪声长线列 CMOS 光电探测器。通过采用减小双采样后的第一级 P 跟随管宽长比, 降低总线寄生电容, 以及降低 P 跟随负载管偏置电压增加驱动电流, 减小信号延迟, 使读出电路的采样频率由 2 MHz 增加到 6 MHz, 有效提高了长线列可见 CMOS 探测器的读出频率。为实现真正相关双采样降低噪声, 采用了 CTIA 放大器后接四采样跟随电路。通过测试, 器件在输出噪声、采用速率方面有明显改善, 经过测试验证, 器件在摆幅、线性度、灵敏度等方面都表现出优良的特征。

## 基金项目

中国科学院微小卫星重点实验室开放课题基金(批准号: KTKT16-03); 国防科技创新特区项目。

## 参考文献

- [1] 董勇伟, 李焱磊, 丁满来, 等. 一种高分辨率 W 波段 SAR 系统[J]. 电子与信息学报, 2018, 40(5): 1266-1270.
- [2] 范启蒙, 尹成友. 高对比度目标的电磁逆散射超分辨成像[J]. 物理学报, 2018, 67(14): 144101.
- [3] Tian, H., Fowler, B. and Gamal, A. (2001) Analysis of Temporal Noise in CMOS Photodiode Active Pixel Sensor.



- IEEE Journal of Solid-State Circuits*, **36**, 92-101. <https://doi.org/10.1109/4.896233>
- [4] 袁红辉, 陈永平. 非制冷红外探测器读出电路的非均匀性研究[J]. 物理学报, 2015(64): 118530.
- [5] Degerli, Y., Lavernhe, F., Magnan, P., *et al.* (2000) Analysis and Reduction of Signal Readout Circuitry Temporal Noise in CMOS Image Sensors for Low-Light Levels. *IEEE Transactions on Electron Devices*, **47**, 949-962. <https://doi.org/10.1109/16.841226>
- [6] Rais, K., Ghibaudo, G. and Balestra, F. (1993) Temperature Dependence of Substrate Current in Silicon CMOS Devices. *Electron Letters*, **29**, 778-780. <https://doi.org/10.1049/el:19930521>
- [7] Alam, M.S. and Predina, J.P. (2003) Computer Study of Nonlinearity in Constant Current Biased Mercury-Cadmium-Telluride Detectors. *Optical Engineering*, **42**, 3491-3497. <https://doi.org/10.1117/1.1621875>
- [8] Yvon, D., Sushkov, V., Bernard, R., *et al.* (2002) Lock-In Detection Using a Cryogenic Low Noise Current Preamplifier for the Readout of Resistive Bolometers. *Nuclear Instruments and Methods in Physics Research A*, **481**, 306-316. [https://doi.org/10.1016/S0168-9002\(01\)01332-8](https://doi.org/10.1016/S0168-9002(01)01332-8)
- [9] Qin, L., Jiang, Y.D. and Lu, J. (2006) Research and Design of a Novel Uncooled Infrared Focal Plane Array CMOS Readout Circuit. *Foreign Electronic Measurement Technology*, **25**, 32-34.
- [10] Ngo, T.-H., Ukaegbu, I.A., Kim, M.-G., *et al.* (2018) A Low-Noise Image Sensor Readout Circuit with Internal Timing Generator. *IEEE Sensors Letters*, **2**. <https://doi.org/10.1109/LSENS.2018.2875444>
- [11] Cao, J.M., Chen, Z.J. and Lu, W.G. (2010) Design of Readout Integrated Circuit for Uncooled Infrared Focal Plane Arrays Based on Microcantilever. *Journal of Infrared and Millimeter Waves*, **29**, 97-101. <https://doi.org/10.3724/SP.J.1010.2010.00097>
- [12] Hu, Y., Deptuch, G. and Turchetta, R. (2001) A Low-Noise, Low-Power CMOS SOI Readout Front-End for Silicon Detector Leakage Current Compensation with Capability. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, **48**, 1022-1030. <https://doi.org/10.1109/81.940194>
- [13] Kulah, H. and Akin, T. (2003) A Current Mirroring Integration Based Readout Circuit for High Performance Infrared FPA Applications. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, **50**, 181-186. <https://doi.org/10.1109/TCSII.2003.807758>

#### 知网检索的两种方式:

1. 打开知网页面 <http://kns.cnki.net/kns/brief/result.aspx?dbPrefix=WWJD>  
下拉列表框选择: [ISSN], 输入期刊 ISSN: 2164-5450, 即可查询
2. 打开知网首页 <http://cnki.net/>  
左侧“国际文献总库”进入, 输入文章标题, 即可查询

投稿请点击: <http://www.hanspub.org/Submission.aspx>

期刊邮箱: [oe@hanspub.org](mailto:oe@hanspub.org)