

Design of a Electronic Firecrackers System Based on FPGA and WiFi Technology

Xiaoqiang Ren, Jinying Chen, Rong Wu, Wenbin Li

College of Information Science and Technology, Chengdu University of Technology, Sichuan
Email: 946551845@qq.com

Received: Jul. 2nd, 2014; revised: Jul. 28th, 2014; accepted: Aug. 6th, 2014

Copyright © 2014 by authors and Hans Publishers Inc.
This work is licensed under the Creative Commons Attribution International License (CC BY).
<http://creativecommons.org/licenses/by/4.0/>



Open Access

Abstract

In view of the problems of traditional fireworks such as safety and pollution, we proposed a design scheme of the electronic firecrackers system which heavily relies on the core of FPGA and WiFi technology. The design of hardware circuit and software is mainly discussed in this paper. The results show that the system has the simple structure, less pollution, high safety, high reliability, etc. So the system has a positive effect on the future environmental protection and the personal safety.

Keywords

FPGA, WiFi, Electronic Firecrackers, Software Design, Android

基于FPGA和WiFi技术的电子鞭炮系统设计

任小强, 陈金鹰, 吴 蓉, 李文彬

成都理工大学信息科学与技术学院, 成都
Email: 946551845@qq.com

收稿日期: 2014年7月2日; 修回日期: 2014年7月28日; 录用日期: 2014年8月6日

摘 要

针对传统鞭炮的安全及污染等问题, 提出了一种以FPGA和WiFi为核心的电子鞭炮系统的设计方案, 对

该设计的主要硬件电路和软件进行了初步探讨,结果表明该系统具有结构简单、污染性少、安全性高、可靠性强等特点,对未来环境保护与人身安全具有一定的积极作用。

关键词

FPGA, WiFi, 电子鞭炮, 软件设计, Android

1. 引言

鞭炮在它的生产、运输、销售和燃放过程中都存在着危险,很容易发生爆炸和火灾事故,波及人身与财务安全,增加政府安全防范资金和设施的投入,浪费财政资金。在鞭炮燃放的同时,释放出大量含有二氧化硫成分的气体,该气体严重污染空气环境,吸入人体造成身体危害。然而燃放鞭炮是中国人民的传统习俗,过年、结婚、庆祝、盖房子上梁等喜庆日子都要放鞭炮。此外,在春节期间,放鞭炮作为春节最重要的一项风俗,象征的一年的开端,如果禁止烟花爆竹的燃放,春节的文化意义与文化习俗就会遭到破坏。为了更好的解决问题,使得人们在即保留传统习俗而又不污染环境与人身安全的情况下,本文设计了基于 FPGA 与 WiFi 的电子鞭炮系统[1] [2],能够有效地解决上述问题。

2. 硬件接口电路设计

电子鞭炮硬件的部分电路主要有 SD 存储卡模块、TLV320AIC23B 音频解码器、WiFi 模块和 FPGA 控制器等部分组成,由 FPGA 控制在 LCD 上显示 SD 存储卡播放电子鞭炮的状态,WiFi 控制 FPGA 实现鞭炮的远程的播放,TLV320AIC23B 输出音频,电子鞭炮硬件电路结构如图 1 所示。

2.1. SD 存储卡模块

SD 存储卡是用于 MP3、数码相机、手机等设备的一种高速存储系统,基于半导体快闪存储器制造[3],其接口支持 SD 模式与 SPI 模式,SD 模式允许 4 位数据宽度的高速数据传输,SPI 模式采用简单的 SPI 外设接口,相对于 SD 模式来说传输速度较低。本设计采用 SPI 外设接口与 FPAG 通信,SD 存储卡硬件接口电路原理图如图 2 所示。

SD-DAT3 是片选信号(SD 卡引脚 1),SD-CMD 是 SPI 接口数据输入信号(SD 卡引脚 2),SD-CLK 是 SPI 接口时钟输入信号(SD 卡引脚 5),SD-DAT 是 SPI 接口数据输出信号(SD 卡引脚 7),其它数据引脚置空。

2.2. TLV320AIC23B 音频解码器模块

本设计采用专用数字立体声音频解码器 TLV320AIC23B 对语音信号进行采集[4],具有处理速度快、设计周期短、性能可靠且稳定等优点。其引脚根据功能可以分为电源与时钟引脚、语音信号输入引脚、语音信号输出引脚、配置控制引脚和数字音频接口引脚。数字音频电路通信总线(Inter-IC Sound Bus)一种专用于数字音频系统的串行总线协议[3],简称 IIS 总线。II-S 总线使用了三根串行总线:一个双向数据传输线 SD、一个声道选择线 WS 和一个时钟信号线 SCLK,数据信号与时钟信号是独立传输的,这样有效地避免了信号的时差诱发失真,接口电路如图 3 所示。其中左边为模拟电路接口,输入部分直接将立体声的电信号从线路输入或者将语音信号变成电信号输入,输出部分将语音信号输出,可以直接驱动耳机或立体声设备,其中 MBIAS、MICIN 为麦克风输入引脚,HPR、HRL 为耳机输出引脚,AIN-L、AIN-R 为线路输入引脚,LOUT、ROUT 为线路输出引脚。右边为数字电路接口,其中 MODE、CS、SDIN、SCLK

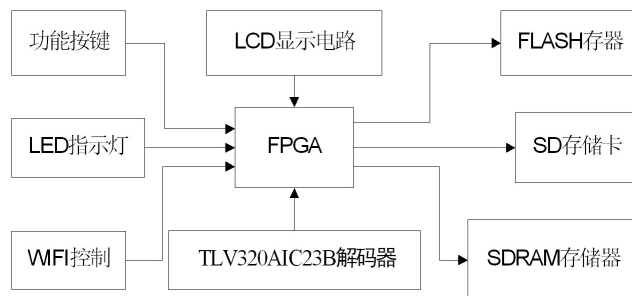


Figure 1. The hardware architecture diagram of system
图 1. 系统的硬件架构图

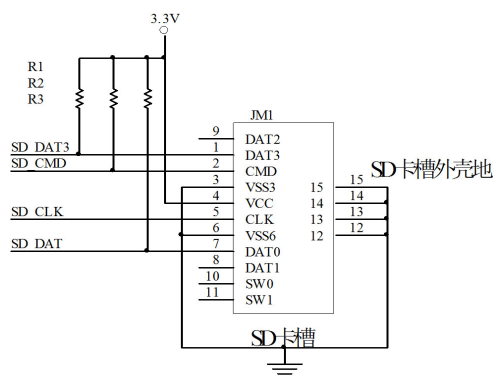


Figure 2. The SD memory card diagram of interfacing circuit
图 2. SD 存储卡接口电路图

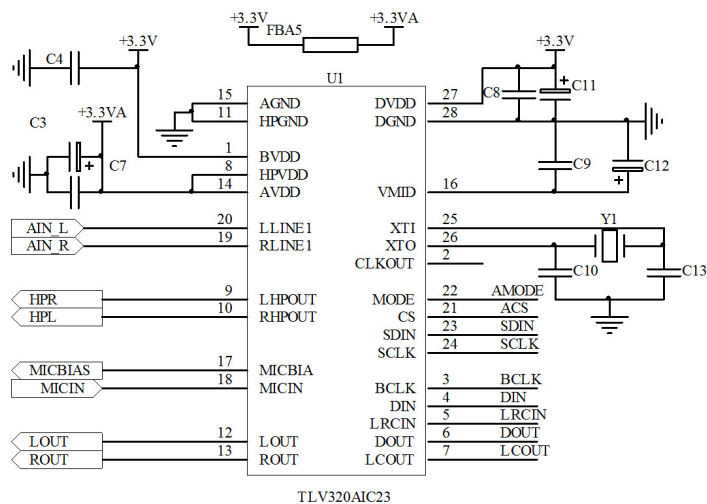


Figure 3. The interfacing circuit of audio decoder
图 3. 音频解码器接口电路

等引脚用于控制接口；BCLK、DIN、LRCIN、DOUT、LCOUT 等引脚用于数据接口。

2.3. WiFi 控制模块

WiFi 和蓝牙都是都是短距离连接技术，由 WiFi 联盟(WiFi Alliance)所持有，基于 802.11 标准，全称是指无线保真(Wireless Fidelity)，具有传输速度快、频率范围广、有效距离长、价格低廉等优点。在 Android

的手机上, WiFi 是一个实用的功能, 通过 WiFi 使用浏览器可以浏览网页, 使用腾讯 QQ 可以语音聊天, Gmail 来收发邮件, 主要好处就是速度快并且没有流量费用。Android 中 WiFi 的操作非常简单, 只要通过 Setting-Wireless & Network-WiFi 设置就可以使用 WiFi 连接路由器, WiFi 的连接一般都会有密码, 点击热点输入密码就可以完成 WiFi 的连接。Android 中 WiFi 的基本框架包含 WiFi 内核驱动程序层、WiFi 的 JNI 层、Android.net.WiFi 框架层、Java 程序应用层。Android 的系统本身提供了包来管理 WiFi 的操作, 主要有四个类管理 WiFi 的操作, WiFiManager 管理 WiFi 的扫描、建立连接、配置等, ScanResult 描述了开启扫描后的热点信息, 包含 SSID、Capabilities、Frequency、Level 等, WifiConfiguration 描述了 WiFi 的连接信息, 包含 SSID、SSID 隐藏、Password 等的设置, 为 WiFiInfo 描述了建立连接后的信息, 包含 IP、MAC 地址、连接速度等信息。

3. 软件设计

该设计的软件主要分为两部分, WiFi 控制与按键控制。系统的功能流程图如图 4 所示。系统在上电以后首先执行初始化操作, 初始化完成以后就判断是按键控制还是 WiFi 控制, 进而执行相关功能。自顶向下的设计模式是现在软件编程中的重要思想, 自顶向下的方法就是将一个复杂系统分成相对简单的若干个小模块, 然后找出每个分模块的关键与重点, 分别完成各个小模块的设计, 最后将各个模块综合起来完成整个系统的设计, 本设计采用自顶向下的设计模式。

3.1. Android 的 WiFi 控制系统

Android 是一个构建于 Linux 基础上, 安全、可靠、高效的移动终端操作系统平台[5], 主要有操作系统、中间件、用户界面和核心应用程序组成, 从低到高分别是 Linux 核心层、系统运行库层、应用程序框架层和应用程序层。Android 也是一个完整、开放而又免费的移动平台, 它完整是应为 Android 公开了其所有源代码, 这样开放人员就可以很方便的访问手机中的各类设备, 它免费是指在该平台上开发的软件, 无论开发工具还是签名认证都是免费的。其内部集成了依赖于硬件的 GSM 电话、蓝牙 Bluetooth、WiFi、GPS 等。这里采用 Android 系统控制 WiFi 模块, 软件界面(图 5)采用帧布局实现, 中间的图片按钮是播放按钮, 播放状态的控制按钮是通过线性布局布局实现的, 从左往右依次为音量减小按钮、上一段按钮、暂停按钮、下一首按钮、音量增加按钮。

3.2. SOPC 的 Nios II 嵌入式系统设计

Nios II 系列软核处理器是 Altera 推出的第二代 32 位 RSIC 嵌入式处理器[6], Altera 的 Straitx、Straitx GX、Straitx II 和 Cyclone 都支持 Nios II 处理器, SOPC (可编程片上系统)它是可编程逻辑技术把整个芯片系统放在硅片上, 来用于嵌入式系统的研究和电子信息处理。具备以下特征: 具有嵌入式处理器内核和片内高速小容量 RAM 资源、可供选择的 IP 资源和片上可编程逻辑资源、处理器调试接口和 FPGA 编程接口、部分可编程模拟电路等。本系统设计的主要资源有 Nios II Processor 处理器、JTAG UART 下载接口、SDRAM Controller 存储器控制器、Flash Memory 存储器、PIO 接口、EPCS Serial Flash Controller、Avalon—MM Tristate Bridge 三态桥、Internal Timer 定时器、Character LCD, 系统框图如图 6 所示。

Nios II 集成开发环境使用 C++ 语言来编程, 各个模块之间通过总线三态桥 Avalon 连接, 整个模块中, FPGA 综合了 Nios II 处理器、FLASH 存储器、SDRAM 存储器、SPI 串行接口等许多模块的最主要部分。在 Quartus II 开发环境中, 点击“Tool”-“SOPC Builder”就可以打开系统的集成开发环境 SOPC Builder, 首先选择其左侧的“Nios II Processor”添加 CPU 模块, 由于 Flash 的数据总线是三态的, 所以 Nios II CPU 与 Flash 连接时需要添加总线 Avlalon 三态桥, SOPC Builder 提供的 PIO 控制器主要用于完成 Nios II 并行输入输出信号的传输, 选择左侧的“Peripheral”-“Microcontroller Peripheral”-“PIO”添加 PIO 控制

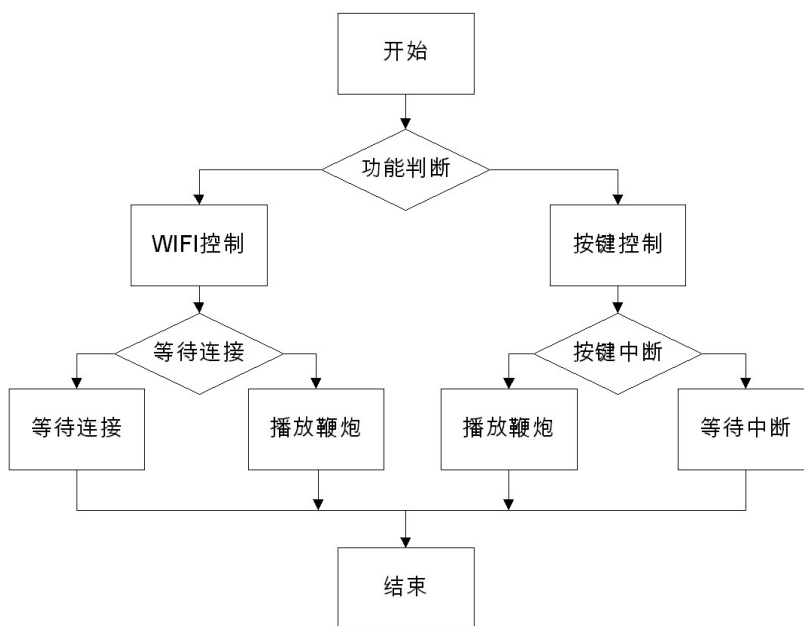


Figure 4. The mainly functional diagram of the system

图 4. 系统的功能流程图



Figure 5. The operation Android interface

图 5. Android 的控制界面

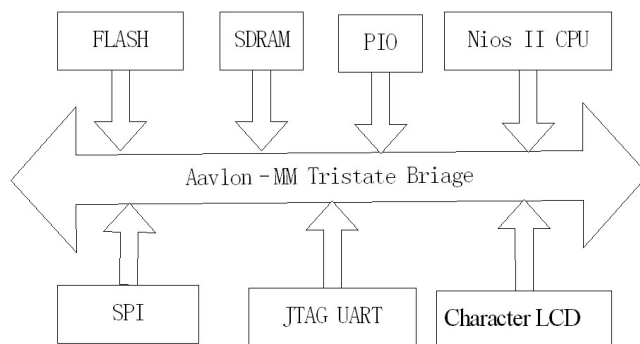


Figure 6. The Software architecture diagram of SOPC

图 6. SOPC 软件系统架构图

器模块，Interval Timer 控制器主要用于完成 Nios II 处理器的定时中断控制，选择左侧的“Peripheral” -

“Microcontroller Peripheral” - “Interval Timer” 添加 Interval Timer 模块。按同样的方法添加所有模块，添加完成以后，将 CFI-FLASH 与 Avalon-MM 三态桥建立连接，构建完成的 SOPC 系统，然后选择菜单栏中的 “System” - “Auto Assign” - “Base Assign” 与 “IQRs” 分别自动分配各组件模块的基地址与中断标志位操作。双击 “Nios II Processor” 后配置 “Reset Vector” 为 “cfi_flash0”；配置 “Exception Vector” 为 “sdram0”，配置完成以后，单击下方的 “Generate”，生成 Nios II 系统。其中生成的 SPOC 系统的顶层模块引脚图如图 7，SPOC 系统的顶层模块结构图如图 8 所示，保存工程文件并给 FPGA 分配引脚，通过编译工具生成下载文件。

4. 结束语

本设计以 FPGA 的 Nios II 嵌入式系统为核心，充分利用了 FPGA 芯片的 I/O 引脚，采用按键控制与基于 Android 的操作系统的 WiFi 控制来实现鞭炮的燃放与控制，SPI 总线协议实现了读取 SD 卡音频文件，并通过音频解码器芯片 TLV320AIC23B 输出音频，采用 LCD 对当前的播放状态进行显示，并利用

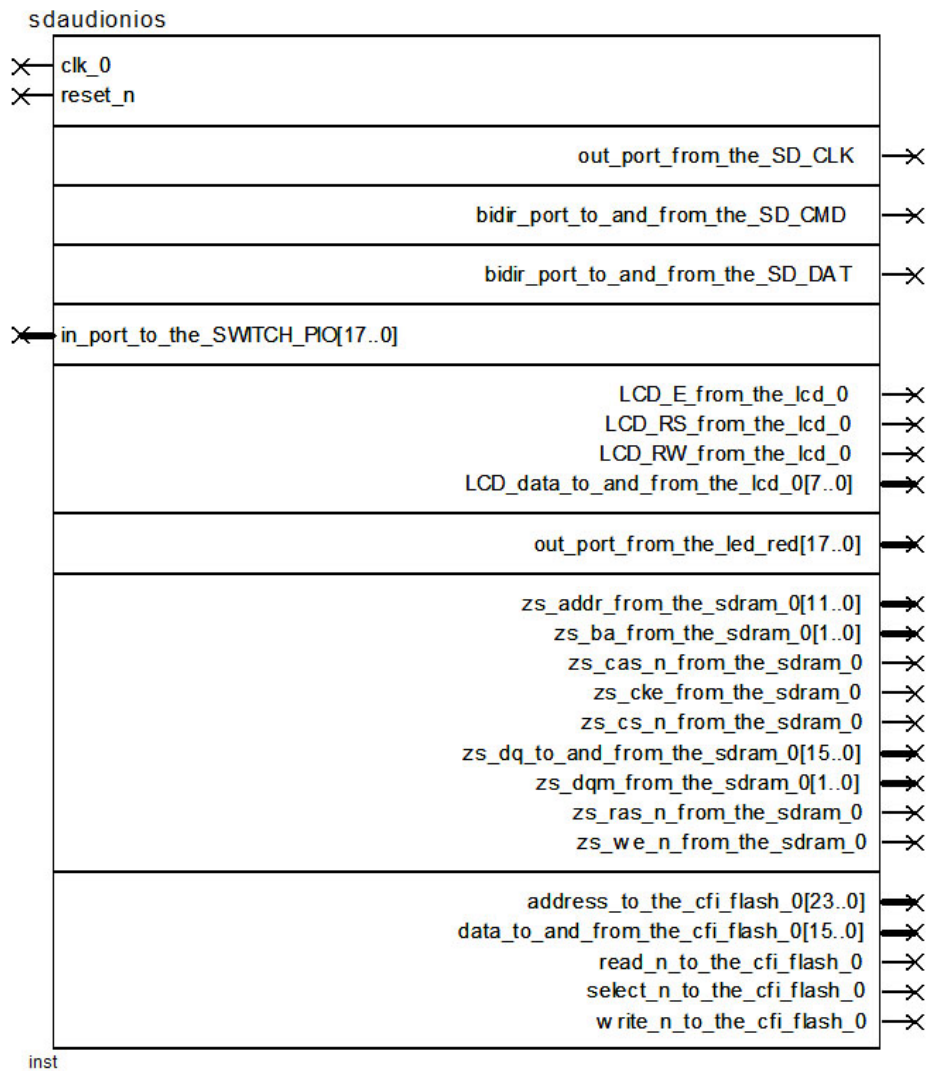


Figure 7. The top-level module of system
图 7. 系统的顶层模块

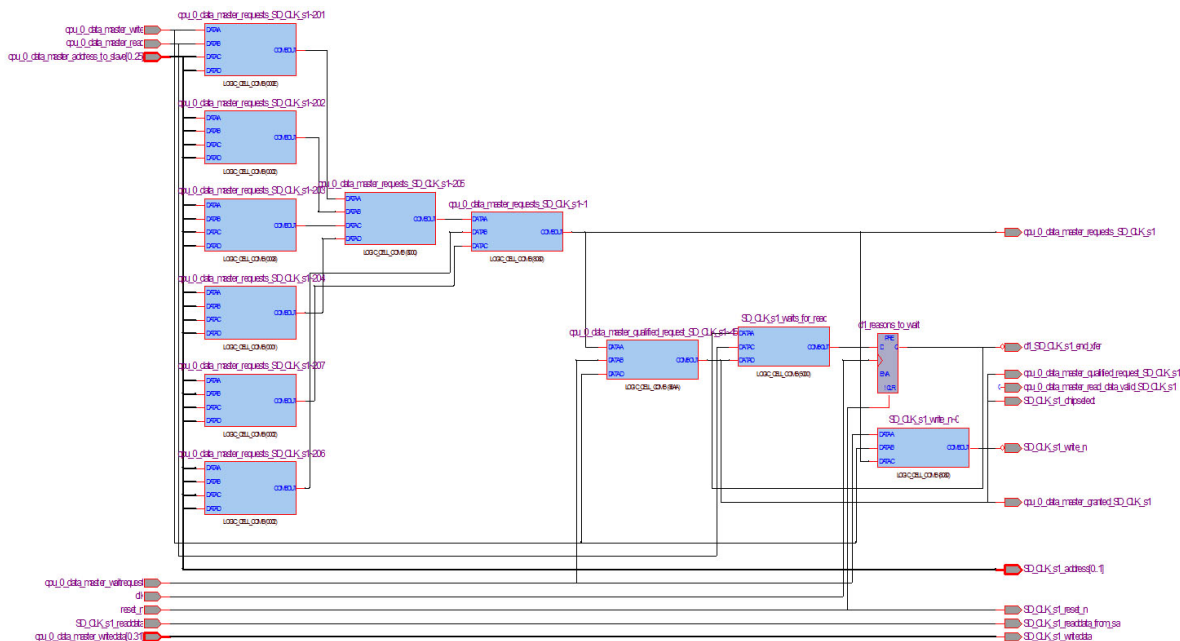


Figure 8. The top-level module of architecture diagram of system

图 8. 系统的顶层模块结构图

LED 指示灯显示音频强度。

参考文献 (References)

- [1] 田媛 (2013) 基于单片机的音乐播放器的设计与实现. *湖南工业职业技术学院学报*, **6**, 112-120.
- [2] 贾永鑫 (2013) Android 音乐播放器的设计与实现. *黑龙江大学学报*, **11**, 114-118.
- [3] 刘博文, 张军, 何勇 (2012) FPGA 嵌入式项目开发三位一体实战精讲. 航空航天大学出版社, 北京.
- [4] 陈金鹰 (2013) 通信体系与前言技术. 机械工业出版社, 北京.
- [5] 陈会安 (2014) Java 和 Android 开发实战详解. 人民邮电出版社, 北京.
- [6] 陈忠平, 袁碧胜, 龚亮 (2014) 基于 VHDL 的 FPGA 数字系统应用实践. 电子工业出版社, 北京.